



# VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

## FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

## ÚSTAV VÝKONOVÉ ELEKTROTECHNIKY A ELEKTRONIKY

DEPARTMENT OF POWER ELECTRICAL AND ELECTRONIC ENGINEERING

## SNIŽUJÍCÍ DC/DC MĚNIČE S VYSOKOU ÚČINNOSTÍ

STEP DOWN DC/DC CONVERTER WITH HIGH EFFICIENCY

### BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

### AUTOR PRÁCE

AUTHOR

Andrej Chudý

### VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Petr Procházka, Ph.D.

BRNO 2019

# Bakalářská práce

bakalářský studijní obor **Silnoproudá elektrotechnika a elektroenergetika**

Ústav výkonové elektrotechniky a elektroniky

**Student:** Andrej Chudý

**ID:** 195319

**Ročník:** 3

**Akademický rok:** 2018/19

**NÁZEV TÉMATU:**

## Snižující DC/DC měniče s vysokou účinností

**POKYNY PRO VYPRACOVÁNÍ:**

1. Na základě výsledků ověřovacích měření provedených v rámci SP1 proveďte úpravu návrhu měniče.
2. Realizujte na základě předešlého bodu inovované verze měniče.
3. Proveďte měření na realizovaných měničích a na základě výsledků je porovnejte.

**DOPORUČENÁ LITERATURA:**

- [1] Patočka M. Magnetické jevy a obvody ve výkonové elektronice, měřicí technice a silnoproudé elektrotechnice. Brno: VUTIUM, 2011. 564 s. ISBN: 978-80-214-4003-6.
- [2] Patočka M., Vybrané stati z výkonové elektroniky, Svazek II., Vydání 3., skriptum FEKT VUT Brno, 2004
- [3] Patočka M.: Vybrané statě z výkonové elektroniky, Svazek III. skriptum, FEKT, VUT Brno.

**Termín zadání:** 4.2.2019

**Termín odevzdání:** 22.5.2019

**Vedoucí práce:** Ing. Petr Procházka, Ph.D.

**Konzultant:**

**doc. Ing. Petr Toman, Ph.D.**  
*předseda oborové rady*

**UPOZORNĚNÍ:**

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

## **Abstrakt**

Táto bakalárska práca sa zaoberá návrhom a realizáciou viacerých verzií znižujúceho DC/DC meniča. Teoretická časť bakalárskej práce je venovaná všeobecnému rozboru DC/DC meničov s podrobným zameraním na znižujúci menič. Ďalšia časť sa špecializuje na analýzu súčasného stavu v tejto oblasti, kde sú popísané základné rozdiely medzi synchronným a diódovým usmerňovačom, elektromagnetické rušenie a GaN tranzistory. Pokračovaním je návrh a dopočítanie potrebných parametrov meniča, ktoré sú overené simuláciou a následným zhotovením prvého prototypu. Na zrealizovanej vzorke sú vykonané základné merania. Zistené nedostatky prototypu sú odstránené vo verzií 1.0. S cieľom dosiahnuť vyššiu účinnosť je vyrobená inovovaná verzia 2.0 a verzia s GaN tranzistormi. Práca je zakončená porovnaním zhotovených znižujúcich meničov.

## **Kľúčové slová**

znižujúci menič, DC/DC menič, vysoká účinnosť, straty, synchronný usmerňovač, gálium nitrid

## **Abstract**

This bachelor's thesis deals with design and realization of several versions of DC/DC buck converter. The theoretical part of the bachelor's thesis is focused on the general analysis of DC/DC converters with a detailed description of the buck converters. Another part specializes in the analysis of the current state in this field, where the basic differences between the synchronous and diode rectifier are explained, electromagnetic interference and GaN transistors are described. Subsequently, the thesis involves the design and calculations of necessary parameters of the buck converter. Calculations are verified by simulation and subsequent production of the first prototype. The basic measurements are performed on the prototype. Detected deficiencies of the prototype are removed in version 1.0. In order to achieve higher efficiency, innovated version 2.0 and version with GaN transistors are produced. The thesis is finished by comparing created buck converters.

## **Keywords**

BUCK converter, DC/DC converter, maximum efficiency, power losses, synchronous rectifier, Gallium nitride

## **Bibliografická citácia:**

CHUDÝ, Andrej. *Snižující DC/DC měniče s vysokou účinností*. Brno, 2019. 63 s. Dostupné také z: <https://www.vutbr.cz/studenti/zav-prace/detail/117574>. Bakalářská práce. Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav výkonové elektrotechniky a elektroniky. Vedoucí práce Ing. Petr Procházka, Ph.D..

## **Prehlásenie**

„Prehlasujem, že svoju bakalársku prácu na tému Snižujúci DC/DC měniče s vysokou účinností som vypracoval samostatne pod vedením vedúceho bakalárskej práce a s použitím odbornej literatúry a ďalších informačných zdrojov, ktoré sú všetky citované v práci a uvedené v zozname literatúry na konci práce.

Ako autor uvedenej bakalárskej práce ďalej prehlasujem, že v súvislosti s vytvorením tejto bakalárskej práce som neporušil autorské práva tretích osôb, najmä som nezasiahol nedovoleným spôsobom do cudzích autorských práv osobnostných a som si plne vedomý následkov porušenia ustanovení § 11 a nasledujúcich autorského zákona č. 121/2000 Sb., vrátane možných trestnoprávných dôsledkov vyplývajúcich z ustanovení časti druhej, hlavy VI. diel 4 Trestného zákonníka č. 40/2009 Sb.

V Brně dne: 22. mája 2019

.....  
podpis autora

## **Pod'akovanie**

Ďakujem vedúcemu bakalárskej práce Ing. Petrovi Procházkovi, Ph.D. za účinnú metodickú, pedagogickú a odbornú pomoc a ďalšie cenné rady pri spracovávaní mojej bakalárskej práce. Ďalšie pod'akovanie patrí firme BEL Power Solutions, s.r.o. za poskytnutie materiálnej pomoci a cenných rád odborných konzultantov Ing. Michala Pipíšku a Ing. Petra Hudáka, PhD.

V Brně dne: 22. mája 2019

.....

podpis autora

# Obsah

1	Úvod.....	11
2	Jednosmerné impulzné DC/DC meniče .....	12
2.1	Rozdelenie DC/DC meničov .....	12
2.2	Znižujúci menič STEP – DOWN (BUCK) .....	14
2.3	Základné vzťahy pre znižujúci DC/DC menič:.....	15
3	Analýza súčasného stavu v oblasti DC/DC meničov .....	16
3.1	Diódový a synchronný usmerňovač .....	16
3.2	GaN tranzistory .....	19
3.3	EMI – Elektromagnetické rušenie.....	21
4	Návrh znižujúceho DC/DC meniča.....	24
4.1	Silová časť obvodu znižujúceho meniča.....	24
4.1.1	Výpočet indukčnosti .....	24
4.1.2	Výpočet výstupnej kapacity.....	26
4.1.3	Výpočet vstupnej kapacity .....	27
4.1.4	Výber spínacích prvkov – tranzistorov .....	27
4.2	Riadiaca časť obvodu znižujúceho meniča .....	31
4.2.1	Popis LM 5145.....	31
4.2.2	Nastavenie presného spúšťania.....	32
4.2.3	Nastavenie spínacej frekvencie.....	32
4.2.4	Konfigurácia soft-štartu, spätná väzba.....	32
4.2.5	Snímanie prúdu .....	33
4.2.6	Bootstrap kondenzátor .....	34
4.3	Schéma zapojenia znižujúceho meniča .....	35
5	Simulácia znižujúceho meniča .....	36
6	Konštrukcia a oživenie prototypu znižujúceho meniča .....	38
7	Úprava prototypu a vytvorenie znižujúceho meniča 1.0:.....	41
8	Znižujúci menič 2.0:.....	44
8.1	Konštrukcia a oživenie meniča 2.0: .....	45
9	Znižujúci menič s tranzistormi GaN: .....	48
9.1	Popis modulu LMG 5200.....	48
9.2	Návrh meniča .....	49
9.3	Konštrukcia a oživenie meniča .....	50
9.4	Schéma zapojenia meniča s GaN tranzistormi.....	53
10	Porovnanie zrealizovaných meničov.....	54
11	Záver .....	58

## Zoznam obrázkov

Obr. 2-1: Voltampérová rovina (prevzaté a upravené z [2]).....	13
Obr. 2-2: Principiálna schéma znižujúceho meniča (prevzaté a upravené z [3]).....	14
Obr. 2-3: Priebehy veličín znižujúceho meniča (prevzaté a upravené z [3]).....	14
Obr. 3-1: Zapojenie znižujúceho meniča s diódovým usmerňovačom (vľavo) a so synchronným usmerňovačom (vpravo).....	16
Obr. 3-2: Príklad VA – charakteristiky unipolárneho tranzistora a diódy.....	17
Obr. 3-3: Priebehy veličín znižujúcich meničov uvedených v tabuľke 3-1.....	18
Obr. 3-4: Základná štruktúra „depletion mode GaN“ (prevzaté, upravené z [7]).....	20
Obr. 3-5: Základná štruktúra „enhancement mode GaN“ (upravené z [6]).....	20
Obr. 3-6: Kaskádovité zapojenie GaN a Si tranzistora (upravené z [8]) .....	21
Obr. 3-7: Slučka výkonového stupňa (power loop - 1) a slučky riadení oboch tranzistorov (gate – drive loops - 2 a 3) (prevzaté z [9]) .....	22
Obr. 4-1: Typické zapojenie podľa výrobcu a graf zobrazujúci účinnosť meniča v závislosti od výstupného prúdu pri $U_{OUT} = 5\text{ V}$ (prevzaté z [10]).....	31
Obr. 4-2: Snímanie prúdu v móde $R_{DS(ON)}$ (vľavo) a $R_{SENSE}$ (vpravo) - prevzaté z [10] .....	34
Obr. 4-3: Schéma zapojenia znižujúceho meniča .....	35
Obr. 5-1: Simulačná schéma silovej časti znižujúceho meniča .....	36
Obr. 5-2: Simulačná schéma riadiacej časti znižujúceho meniča .....	36
Obr. 5-3: Priebehy napätia drain-source a prúdu horného (vľavo) a dolného (vpravo) tranzistora. ....	37
Obr. 5-4: Priebeh napätia (hore) a prúdu (dole) na cievke .....	37
Obr. 6-1: Navrhnutá dvojvrstvová DPS – TOP (vľavo), BOTTOM (vpravo) .....	38
Obr. 6-2: Namerané priebehy napätí $u_{DS}$ (CH2) a $u_{GS}$ (CH1) pri zaťažení $I_{OUT} = 1\text{ A}$ na osciloskope – horný tranzistor (vľavo), dolný tranzistor (vpravo) .....	38
Obr. 6-3: Graf zobrazujúci účinnosť zhotovené prototypu znižujúceho meniča pri rôznych vstupných napätiach $U_{IN}$ .....	39
Obr. 6-4: Vyhodenie prototypu znižujúceho .....	40
Obr. 6-5: Nasnímané teploty termokamerou pri zaťažení prúdom $I_{OUT} = 1,5\text{ A}$ .....	40



Obr. 7-1: Upravený návrh DPS znižujúceho meniča v1.0 (TOP - vľavo, BOTTOM – vpravo).....	41
Obr. 7-2: Namerané priebehy napätí $u_{DS}$ (CH2) a $u_{GS}$ (CH1) pri zaťažení $I_{OUT} = 2$ A na osciloskope – horný tranzistor (vľavo), dolný tranzistor (vpravo) .....	42
Obr. 7-3: Graf znázorňujúci účinnosť znižujúceho meniča 1.0 pri rôznych vstupných napätiach $U_{IN}$ .....	42
Obr. 7-4: Finálne vyhotovenie znižujúceho meniča verzie 1.0 .....	43
Obr. 7-5: Zaznamenané teploty pri $I_{OUT} = 2$ A pomocou termokamery FLIR .....	43
Obr. 8-1: DPS znižujúceho meniča 2.0 (TOP - vľavo, BOTTOM – vpravo).....	45
Obr. 8-2: Namerané priebehy napätí $u_{DS}$ (CH2) a $u_{GS}$ (CH1) pri zaťažení $I_{OUT} = 2$ A – horný tranzistor (vľavo), dolný tranzistor (vpravo).....	46
Obr. 8-3: Graf znázorňujúci účinnosť znižujúceho meniča 2.0 pri rôznych vstupných napätiach $U_{IN}$ .....	46
Obr. 8-4: Finálne vyhotovenie znižujúceho meniča verzie 2.0 .....	47
Obr. 8-5: Zaznamenané teploty pri $I_{OUT} = 2$ A pomocou termokamery FLIR .....	47
Obr. 9-1: Zjednodušená bloková schéma modulu LMG 5200 (prevzaté z [13]).....	48
Obr. 9-2: DPS znižujúceho meniča v.GaN (TOP - vľavo, BOTTOM – vpravo) .....	50
Obr. 9-3: Namerané priebehy napätí $u_{DS}$ (CH2) a $u_{GS}$ (CH1) pri zaťažení $I_{OUT} = 2$ A – horný tranzistor (vľavo), dolný tranzistor (vpravo).....	51
Obr. 9-4: Graf znázorňujúci účinnosť znižujúceho meniča verzie GaN .....	51
Obr. 9-5: Finálne vyhotovenie znižujúceho meniča verzie GaN .....	52
Obr. 9-6: Zaznamenané teploty Zaznamenané teploty pri $I_{OUT} = 2$ A pomocou termokamery FLIR. ....	52
Obr. 9-7: Schéma zapojenia znižujúceho meniča s GaN tranzistormi.....	53
Obr. 10-1: Priebehy účinností meničov pri $U_{IN} = 9$ V .....	54
Obr. 10-2: Priebehy účinností meničov pri $U_{IN} = 15$ V .....	55
Obr. 10-3: Priebehy účinností meničov pri $U_{IN} = 18$ V .....	55
Obr. 10-4: Graf celkových teoretických a reálnych strát.....	56

## Zoznam tabuliek

Tabuľka 3-1: Výpočty jednotlivých tried daných meničov podľa literatúry [4].....	18
Tabuľka 3-2: Klasifikácia frekvencií elektromagnetického rušenia meničov[9] .....	22
Tabuľka 4-1: Zadané hodnoty parametrov pre znižujúci menič .....	24
Tabuľka 4-2: Parametre tranzistora Infineon IPD033N06N.....	29
Tabuľka 8-1: Parametre tranzistora Infineon BSZ042N06NS .....	44
Tabuľka 8-2: Vypočítané straty horného a dolného tranzistora Infineon BSZ042N06NS .....	44
Tabuľka 9-1: Parametre tranzistorového modulu LMG 5200 .....	49
Tabuľka 9-2: Vypočítané straty tranzistorového modulu LMG 5200 .....	49
Tabuľka 10-1: Porovnanie účinnosti jednotlivých meničov pri $I_{OUT} = 2\text{ A}$ .....	54
Tabuľka 10-2: Prehľad jednotlivých stratových výkonov .....	56
Tabuľka 10-3: Teploty tranzistorov a riadiaceho kontroléra meničov .....	57
Tabuľka 10-4: Porovnanie rozmerov DPS a približných cien meničov .....	57

# 1 ÚVOD

V dnešnej technicky pokročilej a vyspelej dobe sa kladie veľký dôraz na ekonomiku a efektivitu všetkých elektronických produktov. Výrobcovia sa snažia o vytvorenie meničov s vysokou účinnosťou a teda s čo najmenšími stratami. Takýmto prístupom spôsobujú, že zariadenia sú šetrnejšie na odber elektrickej energie, čo je jedným z hlavných cieľov. To zapríčiňuje, že klasické lineárne meniče/stabilizátory sú častokrát nahradzované jednosmernými DC/DC meničmi so spínacou frekvenciou o hodnotách desiatok až tisícok kHz, ktoré majú menšie rozmery, avšak sú konštrukčne a technologicky náročnejšie. Ich účinnosť prenosu energie je oveľa vyššia.

Práca poskytuje prierez krátkou teóriou o meničoch vo všeobecnosti s následným zameraním na znižujúci menič. Pokračovaním je porovnanie diódového a synchronného usmerňovača a zoznámenie sa s Gálium Nitrid tranzistormi, ktoré sú veľmi obľúbeným a moderným riešením pri realizácii meničov s cieľom dosiahnuť vysokú účinnosť. Dôležitou rozobranou témou v tretej kapitole je aj elektromagnetické rušenie (EMI).

Postup návrhu silovej časti obvodu znižujúceho meniča s dôkladným výpočtom jednotlivých veličín a výberom súčiastok je popísaný v štvrtej kapitole. Nasleduje návrh riadiacej časti obvodu s kontrolérom LM 5145.

Pre overenie návrhu a lepšie pochopenie princípu fungovania je menič nasimulovaný v softvérovom prostredí Matlab Simulink. Práca pokračuje konštrukciou a oživením prvého prototypu znižujúceho jednosmerného DC/DC meniča so synchronným usmerňovačom. Následne sú na meniči vykonané overovacie merania.

Zistené nedostatky prototypu sú odstránené vo verzii 1.0. Pre dosiahnutie vyššej účinnosti je vytvorená verzia 2.0 a verzia s GaN tranzistormi. Jednotlivé zhotovené meniče sú samostatne analyzované. Na záver sú porovnané z hľadiska účinnosti, strát, teplôt, rozmerov a cien.

## 2 JEDNOSMERNÉ IMPULZNÉ DC/DC MENIČE

DC/DC meniče sú vo všeobecnosti obvody, ktoré menia vstupné jednosmerné napätie  $U_{IN}$  na výstupné napätie  $U_{OUT}$ , s čo najmenšími stratami. Každý menič sa skladá zo silových a riadiacich obvodov. Silové, zahŕňajú spínacie (tranzistory) a akumulačné prvky (kondenzátory – kapacita, cievky – indukčnosť). Riadiace, zabezpečujú spínanie silových/výkonových prvkov frekvenciou v rozsahu desiatok až stoviek kHz tak, aby na výstupe boli žiadané parametre. Vo väčšine prípadov sa na to používa riadiaci kontrolér, ktorý zabezpečuje spínanie tranzistorov a tým reguláciu požadovaných parametrov na výstupe.

### 2.1 Rozdelenie DC/DC meničov

Existuje viacero kritérií, podľa ktorých môžeme jednosmerné impulzné DC/DC meniče rozdeliť. Jedným z nich je výstupný výkon, ktorý určuje konštrukciu a využitie meniča.

Meniče s výstupným výkonom (rozdelenie podľa literatúry [1]):

- **okolo 10 W** - sú konštruované ako hybridné obvody, ktoré sa montujú na dosku plošných spojov (DPS). Ich výkon je obmedzený vlastnosťami puzdra (odvod stratového výkonu do okolia).
- **nad 300 W** – sú vo forme osadených DPS súčiastkami alebo ako samostatné prístroje s núteným chladením. Niekedy môžu byť konštruované ako moduly, ktoré sú súčasťou väčších/zložitejších zariadení.
- **stovky wattov až jednotky kilowattov** – samostatné napájacie jednotky jednosmerných motorov v oblasti automatizácie výroby, galvanizácie a iné.

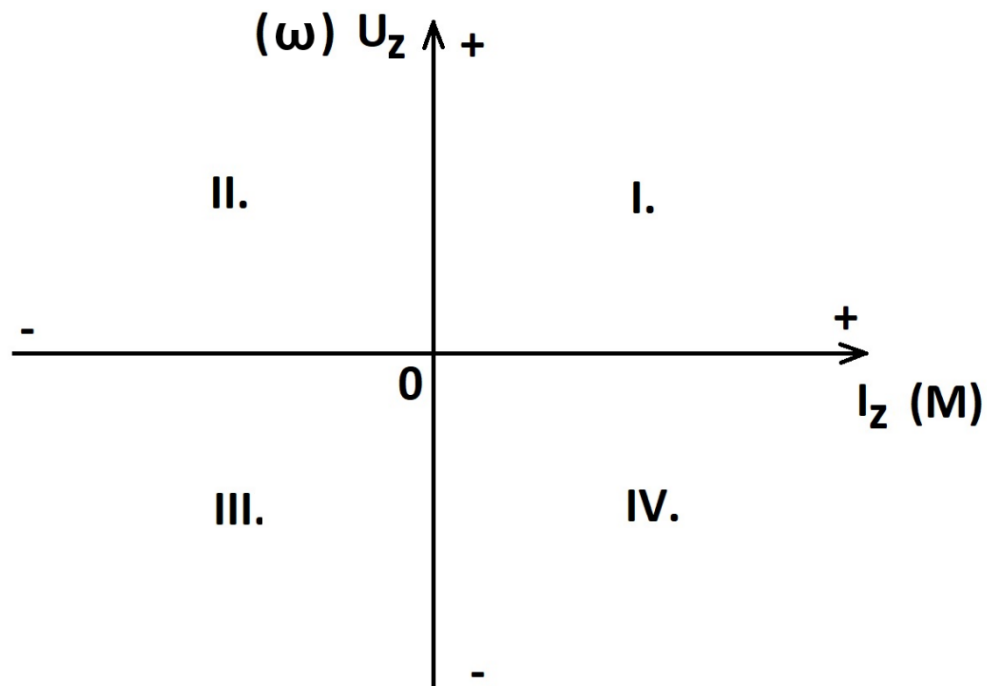
Ďalším kritériom je použitie vysokofrekvenčného impulzného transformátora. Podľa literatúry [2] rozdeľujeme jednosmerné impulzné meniče na:

1. jednosmerné DC/DC meniče bez vysokofrekvenčného impulzného transformátora:

- **jednokvadrantové:** STEP-DOWN, STEP-UP, SEPIC, ČUK
- **dvojkvadrantové:** pre oba smery napätí a jeden smer prúdu a naopak pre oba smery prúdu a jeden smer napätia
- **štvorkvadrantové:** pre oba smery prúdu a oba smery napätia

2. jednosmerné DC/DC meniče s vysokofrekvenčným impulzným transformátorom  
(pulzne regulované sieťové zdroje, galvanicky oddelené):

- **Jednočinné priepustné:** obdoba dvojkvadrantového meniča, energia je prenášaná v dobe zapnutia tranzistorov - FORWARD
- **Dvojčinné priepustné:** obdoba štvorkvadrantového meniča, energia je prenášaná v dobe zapnutia tranzistorov, používané pre veľké výkony - PUSH-PULL, HALF BRIDGE, FULL BRIDGE
- **Jednočinné blokujúce:** energia je prenášaná v dobe vypnutia tranzistorov, pre malé výkony – FLYBACK
- **Rezonančné meniče:** rôzne modifikácie dvojčinných priepustných meničov, kondenzátor tvorí s primárnou indukčnosťou transformátora paralelný alebo sériový rezonančný obvod, ktorý obmedzuje spínacie straty – RESONANT

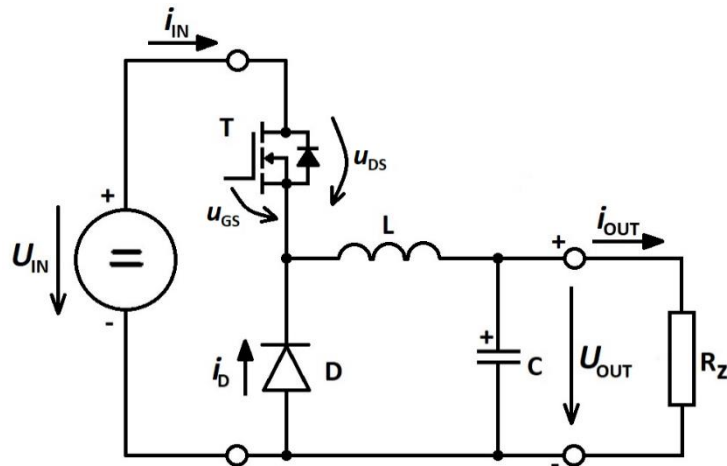


**Obr. 2-1: Voltampérová rovina (prevzaté a upravené z [2])**

Podľa Obr. 2-1 môžeme povedať, že menič v prvom a treťom kvadrante dodáva energiu do záťaže. Práve tieto dva kvadranty sú špecifické pre pasívne záťaže. Naopak v druhom a štvrtom kvadrante je energia dodávaná naspäť do meniča z aktívnej záťaže.

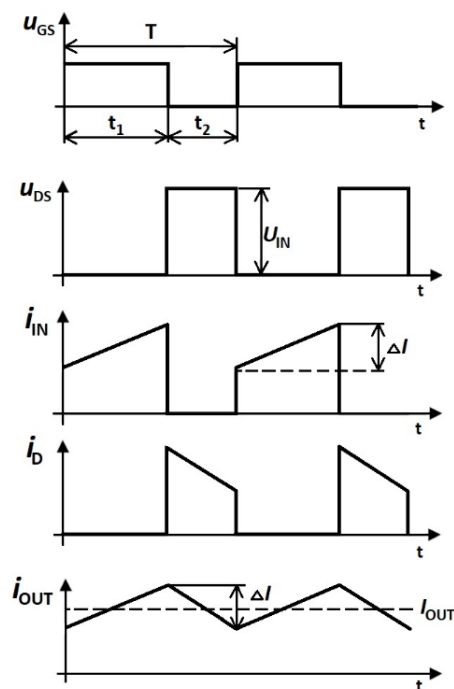
## 2.2 Znižujúci menič STEP – DOWN (BUCK)

Jedná sa o jednosmerný impulzný DC/DC menič bez vysokofrekvenčného transformátora, ktorý pracuje v prvom kvadrante voltampérovej roviny. V praxi sa často stretneme s označením buck converter. Po priložení napätia  $U_{IN}$  na vstup meniča sa na výstupe objaví znížené napätie  $U_{OUT}$ .



Obr. 2-2: Principiálna schéma znížujúceho meniča (prevzaté a upravené z [3])

Priebehy na Obr. 2-3 sú znázornené za predpokladu, že vnútorný odpor cievky sa rovná nule. V praxi sa hodnota  $R$  blíži nule a tak môžeme skutočné exponenciálne priebehy prúdu linearizovať. Taktiež princíp meniča je vysvetlený v režime spojitých prúdov, tzn. prúd cievkou nikdy neklesne na nulu (okrem hraničného stavu na konci časového intervalu  $t_2$ , kedy môže dosiahnuť nulovej hodnoty v jednom bode). [3]



Obr. 2-3: Priebehy veličín znížujúceho meniča (prevzaté a upravené z [3])

Popis činnosti znižujúceho meniča (v ustálenom stave a v režime spojitých prúdov):

1. V okamihu zopnutia tranzistora T (interval  $t_1$ ), sa prúdová cesta uzatvára z napájacieho zdroja, cez spínací prvok – tranzistor T, cievku L (v ktorej sa akumuluje energia a prúd narastá až po okamih vypnutia tranzistora T) do záťaže  $R_Z$ . Kondenzátor C sa počas intervalu  $t_1$  nabíja.
2. V čase kedy sa tranzistor T vypne, napájací zdroj je odpojený a cievka sa stáva zdrojom prúdu (interval  $t_2$ ). Smer prúdu ostáva zachovaný. Prúdová cesta sa uzatvára cez cievku L, záťaž  $R_Z$  a diódu D, ktorá je polarizovaná v priepustnom smere. Výstupné zvlnenie je znižované kondenzátorom C, ktorý počas intervalu  $t_2$  dodáva prúd do záťaže.
3. Zopnutím tranzistora T sa znova dostávame do bodu 1 a dej sa cyklicky opakuje.

### 2.3 Základné vzťahy pre znižujúci DC/DC menič:

Základným pojmom v tejto oblasti je strieda tranzistora  $s_T$  (duty cycle), ktorá vyjadruje pomer doby zapnutia tranzistora  $t_1$  a periódy spínania  $T$ . Vyjadruje sa aj ako pomer výstupného k vstupnému napätiu. Môže sa pohybovať v intervale (0;1):

$$s_T = \frac{t_1}{T} = \frac{U_{OUT}}{U_{IN}} \quad (2.1)$$

V zapojení ako je na obrázku Obr. 2-3, teda bez synchrónneho usmerňovača uvažujeme striedu diódy  $s_D$ :

$$s_D = (1 - s_T) \quad (2.2)$$

Potom výstupné napätie  $U_{OUT}$  je vyjadrené vzťahom:

$$U_{OUT} = U_{IN} \cdot s_T \quad (2.3)$$

Zvlnenie výstupného prúdu  $\Delta I_{OUT}$ , ktoré je definované vzťahom:

$$\Delta I_{OUT} = \frac{U_{IN} \cdot (1 - s_T) \cdot s_T}{f_{SW} \cdot L} \quad (2.4)$$

Vzťah pre maximálne zvlnenie  $\Delta I_{MAX}$  môžeme vyjadriť zo vzťahu (2.2), ak za striedu tranzistora dosadíme hodnotu  $s_T = 0,5$

$$\Delta I_{MAX} = \frac{U_{IN}}{4 \cdot f_{SW} \cdot L} \quad (2.5)$$

Pre požadované zvlnenie výstupného napätia  $U_{OUT}$  určíme potrebnú minimálnu kapacitu výstupného kondenzátoru zo vzťahu:

$$C_{MIN} = \frac{\Delta I_{OUT}}{8 \cdot f_{SW} \cdot \Delta U_{OUT}} \quad (2.6)$$

Pri voľbe výstupnej kapacity je potrebné skontrolovať, či vlastná frekvencia LC filtra je dostatočne nízko pod pracovnou frekvenciou daného meniča

$$C \gg \frac{1}{4 \cdot \pi^2 \cdot f_{SW}^2 \cdot L} \quad (2.7)$$

### 3 ANALÝZA SÚČASNEHO STAVU V OBLASTI DC/DC MENIČOV

Jednosmerné impulzné DC/DC meniče najčastejšie nachádzajú svoje uplatnenie v spínaných zdrojoch, v aplikáciách pre nabíjanie akumulátorov, vo fotovoltaickom odvetví a všeobecne vo výkonovej elektronike využívajúcej jednosmerné napätie.

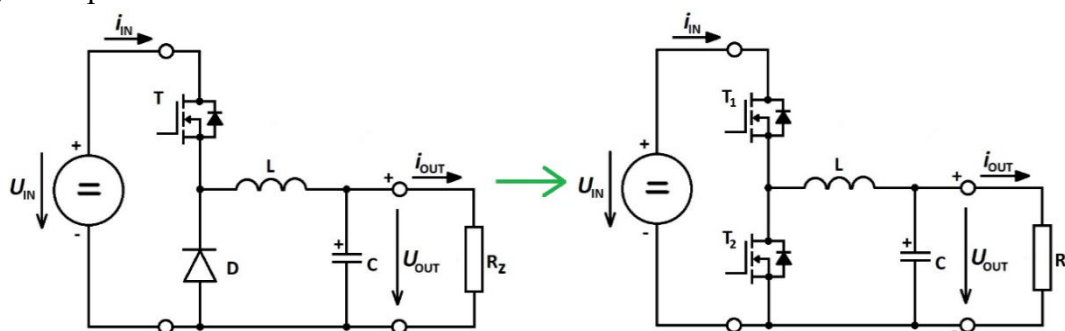
V súčasnosti je na trhu veľmi veľa výrobcov zaoberajúcich sa výrobou DC/DC meničov. Spoločnosti ako Texas Instruments, BEL Power Solutions, On Semiconductor, NXP Semiconductor, Allegro Microsystems, Power Integrations, Delta Electronics a ďalší ponúkajú širokú škálu riadiacich kontrolérov, alebo kompletných meničov s veľmi vysokou účinnosťou až okolo 98 %.

#### 3.1 Diódový a synchronný usmerňovač

Voľba typu usmerňovača závisí od konkrétnych technických, finančných požiadaviek a účelu použitia.

Znižujúci menič s diódovým usmerňovačom má v silovej časti obvodu ako spínacie prvky unipolárny tranzistor a diódu. Výhodou diódového usmerňovača je jednoduchosť a menšie nároky kladené na riadiace obvody, pretože je riadený iba jeden tranzistor. Celý cyklus je závislý iba od spínania tranzistora T. Nevýhodou tohto zapojenia je, že na dióde počas priechodu prúdu vznikajú vyššie straty vedením. Jedna časť strát vzniká na dynamickom odpore diódy  $r_d$  a druhá vplyvom úbytku napätia v priepustnom smere – prahové napätie diódy  $U_p$ . Úbytok napätia na dióde polarizovanej v priepustnom smere, ktorou prechádza prúd sa pohybuje v hodnotách približne 0,3 V až 0,8 V (závisí to od konkrétneho typu diódy).

Diódový usmerňovač je obľúbený vďaka jednoduchej konštrukcii, nižšej cene a využíva sa hlavne v aplikáciách, kde sa nevyžaduje najvyššia dosiahnuteľná účinnosť. Vhodné použitie nachádza v obvodoch s vyšším výstupným napätím a nižšími hodnotami prúdov. Pri nízkonapäťových aplikáciách sa na celkovej účinnosti negatívne prejavuje úbytok napätia na dióde.



Obr. 3-1: Zapojenie znižujúceho meniča s diódovým usmerňovačom (vľavo) a so synchronným usmerňovačom (vpravo)

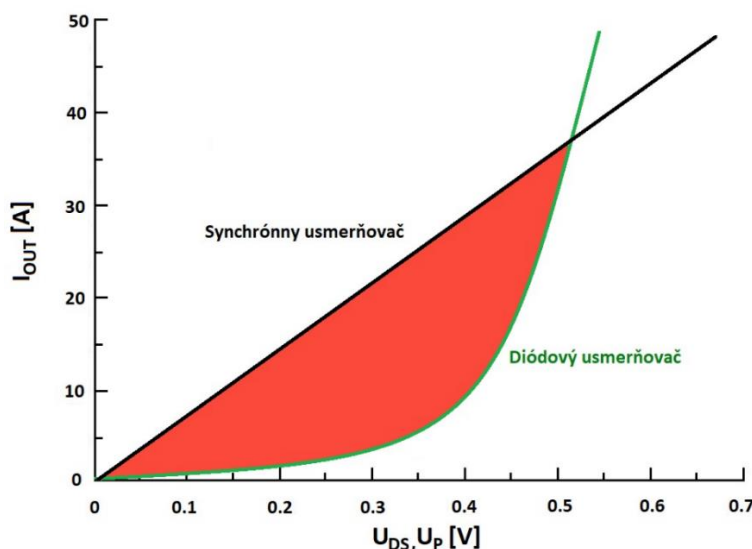


Na *obr. 3-1* je vidieť, že zapojenie znižujúceho meniča so synchronným usmerňovačom vznikne nahradením diódového usmerňovača, konkrétne zámenou diódy za unipolárny tranzistor.

Znižujúci menič v takejto konfigurácii má v silovej časti obvodu dva spínacie prvky, unipolárne tranzistory T1 a T2, čím vzrastajú nároky na riadenie tranzistorov.

Dôležitou podmienkou pri riadení tranzistorov je ochranná doba – dead time. Je to čas medzi vypnutím horného a zopnutím dolného tranzistora. Zopnutie oboch tranzistorov v jeden okamih je nežiadúci stav, ktorý by spôsobil deštruktívne účinky. Počas ochrannej doby, teda v čase kedy sú oba tranzistory vypnuté, je prúd dodávaný do záťaže cez vnútornú diódu tranzistora T2, na ktorej vznikajú straty. Čas vedenia prúdu diódou  $t_d$  je v porovnaní s konvenčným usmerňovačom veľmi malý, čo sa prejaví na znížení strát a zlepšení účinnosti. V praxi je typický dead-time  $t_d$  v hodnotách desiatok nanosekúnd a spínacia frekvencia v rozsahu desiatok až tisícok kHz. Potrebné presné načasovanie spínania tranzistorov sa vo väčšine prípadov realizuje pomocou riadiaceho kontroléra.

Výhodou tohto typu usmerňovača je, že unipolárne tranzistory majú hodnotu odporu medzi elektródami drain a source v zopnutom stave  $R_{DS(ON)}$  veľmi nízku – jednotky až desiatky  $m\Omega$ . To zapríčiňuje, že pri prechode prúdu tranzistorom sú straty vedením viditeľne nižšie (taktiež úbytok napätia  $U_{DS}$ ) ako pri diódovom usmerňovači.



**Obr. 3-2: Príklad VA – charakteristiky unipolárneho tranzistora a diódy**

Oblasť vyplnená červenou v *Obr. 3-2* znázorňuje zníženie vodivostných strát.

Spínacie straty sú pri typických spínacích frekvenciách a napätiach znižujúcich meničoch z pohľadu dolného spínača mnohonásobne nižšie v porovnaní so stratami spôsobenými vedením. Straty spôsobené spínaním tvoria iba približne 15 % z celkových strát na dolnom spínači. Toto tvrdenie platí najmä pri vyšších odoberaných prúdoch. [4]

Z uvedených informácií vyplýva, že hlavné straty v znižujúcom meniči so synchronným usmerňovačom sú straty vznikajúce spínaním, vedením prúdu a straty spôsobené ochrannou dobou.

Synchrónny usmerňovač je v praxi vyhľadávané riešenie vývojárov, ktorých hlavným cieľom je dosiahnutie maximálnej možnej účinnosti. Využíva sa hlavne v aplikáciách s nízkym výstupným napätím a vyššími prúdmi. Komplexnosť a zložitosť zariadenia je vyššia, s čím narastá aj cena v porovnaní s diódovým usmerňovačom. Teplotné pomery a šetrenie miesta na plošnom spoji sú však jeho ďalšími benefitmi.

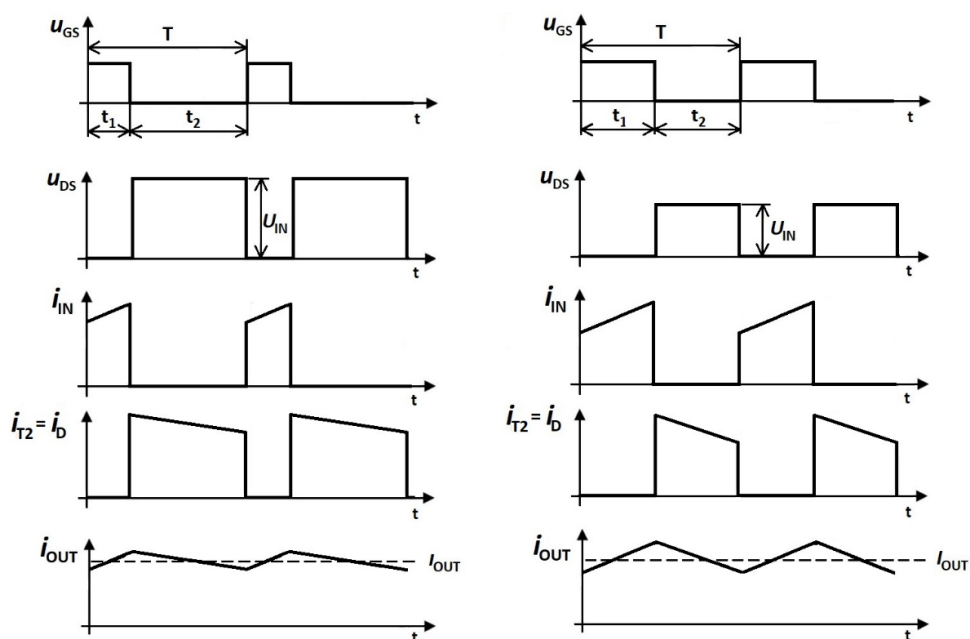
V literatúre [4] je uvedený praktický príklad. Špecifikácie daných meničov sú v *tabuľke 3-1* a ich priebehy znázorňuje *obr. 3-3*. Pre znižujúci menič s diódovým usmerňovačom s výstupným napätím  $U_{OUT} = 3,3 \text{ V}$  a vstupným napätím  $U_{IN} = 12 \text{ V}$ , úbytok napätia na dióde  $U_p = 0,4 \text{ V}$  predstavuje zhoršenie účinnosti okolo 10 až 15 %. Pri nižšom vstupnom napätí  $U_{IN}$  by sa strieda dolného spínača znížila, následne aj čas vedenia prúdu diódou, čo by znamenalo menší pokles účinnosti.

V druhej špecifikácii meniča s hodnotou vstupného napätia  $U_{IN} = 7,2 \text{ V}$  a výstupného napätia  $U_{OUT} = 3,3 \text{ V}$ , z uvedeného dôvodu klesla účinnosť menej. Pri rovnakých parametroch má však menič so synchrónnym usmerňovačom o 4 % lepšiu účinnosť a v špecifikácii s vyššou striedou dolného spínača, je nárast účinnosti ešte vyšší.

Príklad potvrdzuje teóriu, že pre nižšie výstupné napätia a vyššiu striedu dolného spínača je vhodnejším riešením synchrónny usmerňovač.

**Tabuľka 3-1: Výpočty jednotlivých stried daných meničov podľa literatúry [4]**

Špecifikácia znižujúceho meniča $U_{IN} = 12 \text{ V}, U_{OUT} = 3,3 \text{ V}$	Špecifikácia znižujúceho meniča $U_{IN} = 7,2 \text{ V}, U_{OUT} = 3,3 \text{ V}$
$s_T = \frac{U_{OUT}}{U_{IN}} = \frac{3,3}{12} = 0,275$	$s_T = \frac{U_{OUT}}{U_{IN}} = \frac{3,3}{7,2} = 0,458$
$s_D = 1 - s_T = 1 - 0,275 = 0,725$	$s_D = 1 - s_T = 1 - 0,458 = 0,542$



**Obr. 3-3: Priebehy veličín znižujúcich meničov uvedených v tabuľke 3-1**

### 3.2 GaN tranzistory

Vo všeobecnosti výkonové tranzistory, sú najdôležitejšou súčiastkou v polovodičových meničoch. Pri zmene energie z jednej formy na druhú dochádza v meničoch k stratám, ktoré sa prejavujú na celkovej účinnosti zariadenia. Preto každé zefektívnenie jednotlivých súčiastok je pre výrobcov meničov vítané.

Za posledné desaťročia sa v tejto oblasti najčastejšie používali ako spínacie prvky unipolárne kremíkové tranzistory so štruktúrou MOSFET. V dnešnej dobe sa vďaka fyzikálnym vlastnostiam kremíku tieto tranzistory blížia k ich maximálnemu možnému výkonu. Znamená to, že cestou inovácie kremíkových tranzistorov je nárast celkovej účinnosti meničov už iba veľmi malý a obmedzený, prípadne finančne náročný. Preto sa výrobcovia polovodičových súčiastok rozhodli hľadať nové materiály na výrobu tranzistorov s veľkým potenciálom pre minimalizovanie strát a maximalizovanie ich účinnosti. [5]

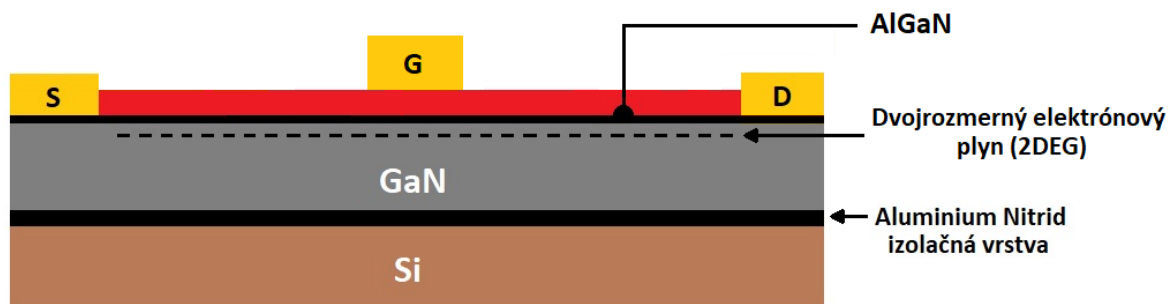
Jedným z nich je GaN (Nitrid gália). Materiál sa vyznačuje vyššou tvrdosťou a odolnosťou proti kremíku. Má šírku zakázaného pásma 3,4 eV, čo je v porovnaní s kremíkom, ktorý má šírku zakázaného pásma 1,1 eV viac ako trojnásobný nárast. Tento fakt umožňuje využívať tranzistory so štruktúrou GaN pri vyšších teplotách, čo sa prejaví menšími nárokmi na chladenie a tým pádom konštrukčným zmenšením zariadení. [5]

Ďalšou výhodou je väčšia hodnota prierezného napätia vďaka, ktorej môžu pracovať s vyššími napätiami. GaN tranzistory sa v pracovných podmienkach vyznačujú rýchlosťou nábojov. Taktiež v porovnaní s kremíkovými tranzistormi majú nižšie hodnoty vstupnej  $C_{ISS}$ , výstupnej  $C_{OSS}$  a millerovej kapacity  $C_{RSS}$ .

V konečnom dôsledku tranzistory na báze GaN sú výhodné najmä pre: nízke hodnoty odporu v zopnutom stave  $R_{DS(ON)}$ , možnosť pracovať s vysokými spínacími frekvenciami  $f_{SW}$  až do MHz, zníženie výkonových strát zaručujúc vyššiu celkovú účinnosť zariadenia.

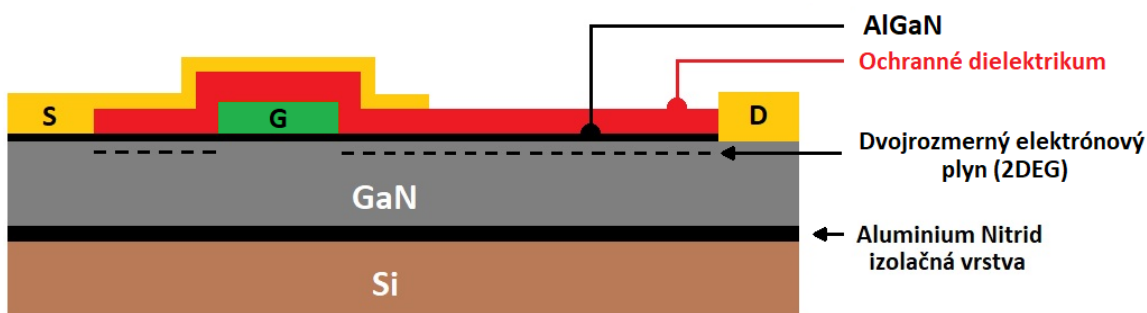
Základom pri výrobe je substrát, ktorý môže byť tvorený kremíkom (Si) alebo karbidom kremíka (SiC). Ide o najhrubšiu vrstvu, ktorá zabezpečuje lepšie šírenie tepla – odvod tepla, mechanickú podporu. Pre izolovanie štruktúry zariadenia a substrátu sa vo väčšine prípadov používa izolačná vrstva tvorená nitridom hliníku (AlN). Smerom nahor nasleduje vrstva GaN, ktorá má vysokú rezistivitu. Vodivosť tranzistorov je založená na piezoelektrickom jave, pretože na vrstvu GaN je aplikovaný AlGaIn, ktorý vytvára fyzikálne napätie, a pretože GaN je piezoelektrický materiál, napätie priťahuje elektróny do rozhrania tvoreného vrstvami GaN a AlGaIn. Táto koncentrácia elektrónov, ktoré majú vysokú pohyblivosť a vodivosť je nazývaná dvojrozmerný elektrónový plyn (2DEG). Na záver rôznymi procesmi sú pridané elektródy Gate, Drain, Source. [6]

Zopnutie, prípadne vypnutie tranzistora je zabezpečované cez elektródu Gate. Jej rôzna štruktúra rozdeľuje GaN tranzistory na dve skupiny. V prvej pracujú v depletičnom móde – depletion mode, kde ich základnú štruktúru znázorňuje *obr. 3-3*. V druhej pracujú v obohacujúcom móde – enhancement mode (*obr. 3-4*).



**Obr. 3-4: Základná štruktúra „depletion mode GaN“ (prevzaté, upravené z [7])**

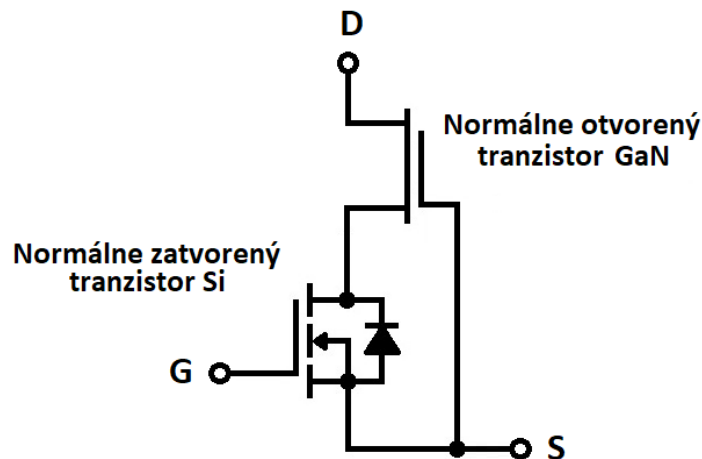
Depletičný režim je prirodzenejší vzhľadom na piezoelektrické vlastnosti. S jednoduchou elektródou gate je tranzistor vodivý bez priloženého napätia  $U_{GS} = 0$  V. To znamená, že tranzistor je normálne plne otvorený. Vypnutie je zabezpečované privedením záporného napätia  $U_{GS}$ , kedy sa oblasť elektrónov pod elektródou gate vyprázdni a tranzistor sa uzavrie. Štruktúra tohto typu sa využívala najmä v počiatoch vývoja GaN tranzistorov. Problémom je komplikovanejší návrh zariadení, pretože pri štartoch meničov sa musí najskôr priviesť záporné napätie (uzavretie normálne otvorených tranzistorov). V inom prípade by mohol vzniknúť skrat, ktorý má deštruktívne účinky. [7]



**Obr. 3-5: Základná štruktúra „enhancement mode GaN“ (upravené z [6])**

Obohacovací režim funguje so zložitejšou elektródou gate, ktorá sa vyrába komplikovanejšími procesmi. Rozdiel oproti depletičnému režimu spočíva v tom, že tranzistor je bez priloženia napätia  $U_{GS} = 0$  V uzatvorený – nevodivý. Na zopnutie je potrebné priviesť kladné napätie  $U_{GS}$ , kedy sa pod elektródou gate obohatí oblasť elektrónov a vytvorí sa vodivý kanál. Zavedením tranzistorov pracujúcich na princípe obohacovacieho režimu sa výrazne zjednodušil návrh výkonových meničov. [7]

V súčasnosti sú najviac využívané GaN tranzistory s obohacovacím režimom alebo GaN tranzistory s depletičným režimom v kaskádovitom zapojení.



**Obr. 3-6: Kaskádovité zapojenie GaN a Si tranzistora (upravené z [8])**

Na obr. 3-6 je znázornené kaskádovité zapojenie tranzistorov na báze GaN a Si. Je to spojenie normálne otvoreného tranzistora GaN (depletion mode) a normálne zatvoreného kremíkového tranzistora. Výhodou tohto usporiadania je, zbavenie sa potreby priložiť záporné napätie  $U_{GS}$  pre uzavretie tranzistora pracujúceho v depletičnom režime. To zapríčiní zjednodušenie návrhu výkonových meničov. Nevýhodou je vyšší odpor v zopnutom stave  $R_{DS(ON)}$ . Najčastejšie sa používajú v aplikáciách s hodnotami napätí v rozsahu 300 - 600 V.

Najdôležitejším faktorom pri návrhu plošného spoja s použitím tranzistorov na báze GaN (depletion mode, enhancement mode, kaskádovité zapojenie) je obmedzenie parazitnej indukčnosti vo vrstve na čo najmenšiu možnú hodnotu. [8]

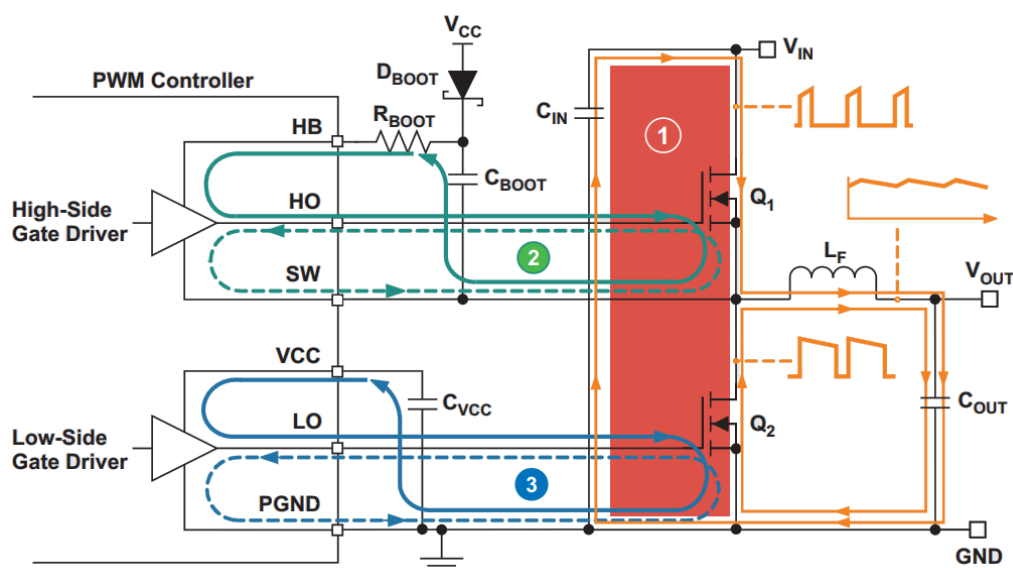
### 3.3 EMI – Elektromagnetické rušenie

Vysokofrekvenčné emisie, ktoré sú vedené alebo vyžarované z výkonových meničov ako celkov alebo z ich jednotlivých komponentov sa vyskytujú na základe napäťových ( $du/dt$ ) a prúdových ( $di/dt$ ) časových zmien generovaných pri spínaní. Vzhľadom na to, že je snaha spínacie frekvencie stále zvyšovať, elektromagnetické rušenie (EMI) je čoraz väčšia technologická výzva pri dizajne elektronických zariadení.

Pri návrhu zariadenia sa snažíme kompaktné rozložiť výkonový stupeň, pre minimalizovanie EMI. Dôležité je pri prenose schémy na plošný spoj si najskôr určiť slučky, v ktorých sa špičkový prúd mení s veľkou frekvenciou. Tie vďaka parazitným indukčnostiam spôsobujú nadmerné rušenie a kmitanie, čo sú nežiadúce deje.

Obr. 3-7 znázorňuje rozdelenie jednotlivých slučiek v obvode znižujúceho meniča so synchronným usmerňovačom. Cesty jednotlivých prúdov v slučke výkonového stupňa, ktorá je označená číslom 1 boli popísané v kapitole 2.2. Táto slučka je vysokofrekvenčná a častokrát označovaná aj ako „horúca“ slučka. Zvlnenie prúdu prechádzajúce cievkou je pevne dané hodnotou indukčnosti  $L_F$ . Ďalej je vidieť slučky vychádzajúce z riadení horného a dolného tranzistora. Konkrétne slučka č.2 reprezentuje driver horného spínača napájaného z bootstrap kondenzátora  $C_{BOOT}$ . Podobne slučka č.3 zodpovedá driver-u

dolného spínača napájaného z  $V_{CC}$ . V oboch slučkách sú prúdové cesty vyznačené v zapnutom stave (plná čiara) a vypnutom stave (čiarkovaná čiara).



**Obr. 3-7: Slučka výkonového stupňa (power loop - 1) a slučky riadení oboch tranzistorov (gate – drive loops - 2 a 3) (prevzaté z [9])**

Parazitné indukčnosti vyznačených slučiek v obvode výrazne ovplyvňujú spínaný výkon a elektromagnetické rušenie synchronného znižujúceho meniča. Hodnota indukčnosti vysokofrekvenčnej výkonovej slučky  $L_{LOOP}$  je daná sumou celkovej indukčnosti elektródy drain  $L_D$ , indukčnosti elektródy source  $L_S$  (skladá sa zo sériovej indukčnosti kondenzátorov a cestičiek na DPS) a indukčnosti puzdier výkonových tranzistorov. [9]

Indukčnosť výkonovej slučky je teda veľmi úzko prepojená s rozložením vstupných kondenzátorov a cestičiek na DPS.

**Tabuľka 3-2: Klasifikácia frekvencií elektromagnetického rušenia meničov[9]**

Druh rušenia		Dominantný zdroj rušenia	Rozsah frekvencie	Druh šírenia EMI
1	Nízko-frekvenčné	Spínacie - harmonické frekvencie	150 kHz až 50 MHz	Vedením
2	Širokopásmové	Napäťové a prúdové časové zmeny	50 MHz až 200 MHz	Vedením/vyžarovaním
3	Vysoko-frekvenčné	Spätné zotavenie diódy	Nad 200 MHz	Vyžarovaním

V tabuľke 3-2 sú znázornené rozsahy frekvencií, pri ktorých znižujúci menič so synchronným usmerňovačom produkuje rušenie. Podľa technického dokumentu [9],

ak napríklad strmosť nárastu prúdu prekročí 5 A/ns, pri parazitnej indukčnosti 2 nH vznikne napäťová špička o hodnote 10 V. To potvrdzuje nutnosť precízneho návrhu DPS.

Rezonancia je vytváraná parazitnou energiou akumulovanou pri spínaní tranzistorov. Pre analýzu spínacích dejov sa používajú ekvivalentné rezonančné obvody. Oscilačná amplitúda závisí od parametrov parazitných indukčností. Dva hlavné faktory pri rezonancií sú rezonančná frekvencia a faktor tlmenia. Cieľom je zvýšiť rezonančnú frekvenciu znížením parazitnej indukčnosti výkonovej slučky. To zapríčini pokles napäťovej špičky.

Obmedzenie elektromagnetického rušenia môžeme vykonať v rámci návrhu DPS alebo pomocou moderných mikrokontrolérov. Pri návrhu DPS je dôležité minimalizovať veľkosť výkonovej slučky a efektívne rozložiť jednotlivé komponenty, čo vedie k zníženiu jej impedancie. Takisto sú dôležité pre návrh jednotlivé vnútorné vrstvy DPS ako napríklad pasívna tieniaca vrstva (passive shield layer). Tá je vytvorená vrstvou, ktorá je pripojená k elektrickej zemi, umiestnená čo najbližšie k spínacím prvkom s použitím minimálnej dielektrickej hrúbky. Vzniknuté magnetické pole v tieniacej vrstve pôsobí proti magnetickému poľu vytvorenému výkonomovou slučkou, čím zanikne a parazitná indukčnosť sa minimalizuje. Medená oblasť uzla SW by mala byť čo najkratšia a najširšia, čím sa obmedzí kapacitná väzba súvisiaca s vysokými časovými zmenami napätia.

Po vyladení dizajnu DPS je v súčasnosti možné obmedziť rušenie aj vďaka integrovaným funkciám v riadiacich mikrokontroléroch. Spoločnosť Texas Instruments ponúka vo svojich produktoch funkcie ako napríklad: externá synchronizácia, interný oscilátor, on-the-fly frekvenciu určenú pre adaptívne ladenie, aby sa predišlo citlivým rádiovým pásmam v automobilovom priemysle. [9]

Vo všeobecnosti dnešné znižujúce meniče so synchronným usmerňovačom majú spínacie frekvencie do 3 MHz, avšak môžu produkovať širokopásmové rušenie s frekvenciou viac ako 1 GHz. Preto je nevyhnutné chápať význam jednotlivých slučiek znázornených v schéme a ich minimalizovanie počas návrhu plošného spoja.

## 4 NÁVRH ZNIŽUJÚCEHO DC/DC MENIČA

Hlavným cieľom je navrhnuť znižujúci DC/DC menič s využitím konceptu synchronného usmerňovača s vysokou účinnosťou, ktorého konečné použitie je v oblasti napájania mikroprocesorov a pomocných obvodov vo výkonových aplikáciách. Návrh meniča rozobraný v tejto kapitole sa odvoláva na schému znázornenú na *obr. 4-3*.

**Tabuľka 4-1: Zadané hodnoty parametrov pre znižujúci menič**

Názov veličiny	Značka	Hodnota veličiny	Jednotka
Vstupné napätie	$U_{IN}$	9 - 18	[V]
Výstupné napätie	$U_{OUT}$	5	[V]
Výstupný prúd	$I_{OUT}$	2	[A]
Výstupný výkon	$P_{OUT}$	10	[W]
Spínacia frekvencia	$f_{sw}$	250	[kHz]
Zvlnenie výstupného prúdu	$\Delta I_{OUT}$	$0,2 \cdot I_{OUT}$	[A]
Zvlnenie výstupného napätia	$\Delta U_{OUT}$	$0,1 \cdot U_{OUT}$	[V]

V *tabuľke 4-1* sú uvedené hodnoty potrebných veličín pre základné výpočty a celkové zhotovenie zariadenia.

### 4.1 Silová časť obvodu znižujúceho meniča

Návrh silovej časti znižujúceho meniča vychádza z principiálnej schémy znázornenej na *obr. 2-2*. Pri návrhu sú využité informácie z katalógového listu kontroléra LM5145 od spoločnosti Texas Instruments [10]. Základom je určiť hodnoty akumulčných prvkov – indukčnosť cievky, vstupnú a výstupnú kapacitu kondenzátorov. V zariadení je využitý synchronný usmerňovač pre dosiahnutie vysokej účinnosti, čo znamená vytypovať dva spínacie prvky – unipolárne tranzistory. Následne je podľa daných a dopočítaných parametrov vykonaný výber vhodne nadimenzovaných elektronických súčiastok.

#### 4.1.1 Výpočet indukčnosti

Pri výpočte indukčnosti cievky vychádzame zo vzťahu 2.4 pre výpočet zvlnenia prúdu. Z toho vyplýva, že zvlnenie prúdu je ovplyvňované najmä indukčnosťou cievky a spínacou frekvenciou. Spomenuté veličiny spolu úzko súvisia pri návrhu celého meniča. Nízke zvlnenie môžeme dosiahnuť zvýšením indukčnosti, čo sa však negatívne prejaví na náraste rozmerov cievky. Pre zachovanie nízkeho zvlnenia a zároveň úsporných rozmerov cievky sa zvyšuje spínacia frekvencia, čo však znižuje celkovú účinnosť meniča formou zvýšenia strát pri spínaní tranzistorov. Preto je pri návrhu zariadenia potrebné zvoliť vhodný kompromis.



Zvlnenie výstupného prúdu  $\Delta I_{OUT}$  sa volí v rozsahu 10 % až 40 % z hodnoty výstupného prúdu  $I_{OUT}$ .

Výpočet zvlnenia výstupného prúdu zo zadáných hodnôt:

$$\Delta I_{OUT} = 0,2 \cdot I_{OUT} = 0,2 \cdot 2 = 0,4 \text{ A} \quad (4.1)$$

Hodnotu špičkového prúdu dostaneme:

$$I_{OUT(PEAK)} = I_{OUT} + \frac{\Delta I_{OUT}}{2} = 2 + \frac{0,4}{2} = 2,2 \text{ A} \quad (4.2)$$

Pri výpočte indukčnosti uvažujeme z rozsahu vstupných napätí 9 – 18 V práve najvyššiu hodnotu  $U_{IN(MAX)} = 18 \text{ V}$ , pri ktorej je hodnota potrebnej indukčnosti v meniči najvyššia. Táto hodnota indukčnosti je zároveň minimum pre výber konkrétnej cievky. Strieda horného tranzistora, ktorá bude v tomto prípade najnižšia sa získa podľa vzorca.

$$s_T = \frac{U_{OUT}}{U_{IN(MAX)}} = \frac{5}{18} = 0,278 \quad (4.3)$$

Následne si zo vzorca 2.4 pre zvlnenie prúdu vyjadríme vzťah pre indukčnosť cievky. Spínacia frekvencia  $f_{SW}$  je zvolená na hodnotu 250 kHz.

$$L_{OUT} = \frac{U_{IN(MAX)} \cdot (1 - s_T) \cdot s_T}{\Delta I_{OUT} \cdot f_{SW}} = \frac{18 \cdot (1 - 0,278) \cdot 0,278}{0,4 \cdot 250000} = 36,12 \text{ } \mu\text{H} \quad (4.4)$$

Pri výbere cievky je potrebné dbať na to, aby hodnota saturačného prúdu cievky  $I_{SAT}$  bola vyššia ako špičkový prúd  $I_{OUT(PEAK)}$ . Preferované sú cievky z feritových materiálov, ktoré sa vyznačujú nízkymi stratami v magnetickom obvode a sú vhodné pre vysoké spínacie frekvencie. Feritové jadrá majú tvrdú saturačnú charakteristiku. Ak však dôjde k prekročeniu saturačného prúdu, indukčnosť rapídne klesá, čo spôsobí nárast zvlnenia prúdu, zníženie účinnosti a ohrozenia spoľahlivosti zariadenia. K zabráneniu spomínaného javu slúži nadprúdová ochrana.

Cievka s feritovým jadrom *Coilcraft SER1390-473MLD* [11] spĺňa všetky naše požiadavky. Indukčnosť cievky je  $L = 47 \text{ } \mu\text{H}$ . Hodnota saturačného prúdu, ktorý spôsobí pokles indukčnosti o 10 % je  $I_{SAT(10\%)} = 2,6 \text{ A}$ . Efektívna hodnota prúdu, ktorá spôsobí zvýšenie teploty o  $20 \text{ } ^\circ\text{C}$  je  $I_{RMS(+20^\circ\text{C})} = 5,7 \text{ A}$ . Vypočítaná špičková hodnota prúdu sa rovná  $I_{OUT(PEAK)} = 2,2 \text{ A}$ . Podmienka  $I_{OUT(PEAK)} < I_{SAT}$  je splnená, čo potvrdzuje vhodný výber cievky.

Zvlnenie výstupného prúdu pri použití konkrétnej cievky vypočítame podľa vzťahu 2.4:

$$\Delta I_{OUT} = \frac{U_{IN(MAX)} \cdot (1 - s_T) \cdot s_T}{L \cdot f_{SW}} = \frac{18 \cdot (1 - 0,278) \cdot 0,278}{47 \cdot 10^{-6} \cdot 250000} = 0,307 \text{ A} \quad (4.5)$$

Reálna hodnota zvlnenia je o niečo nižšia oproti hodnote vypočítanej v návrhu, čo je spôsobené použitím cievky s indukčnosťou  $L$  mierne vyššou ako je hodnota vypočítaná.

Vinutie cievky je vyrobené z medeného materiálu, ktorý má určitú hodnotu odporu. Hodnota odporu uvedená v katalógovom liste [11] výrobcu je  $R_{CU} = 23,1 \text{ m}\Omega$ . Pri prechode prúdu vinutím vznikajú straty, ktoré môžeme vyjadriť:

$$\Delta P_L = R_{CU} \cdot I_{OUT(PEAK)}^2 = 23,1 \cdot 10^{-3} \cdot 2,2^2 = 0,11 \text{ W} \quad (4.6)$$

### 4.1.2 Výpočet výstupnej kapacity

Návrh výstupných kondenzátorov je v praxi obmedzovaný najmä rozmermi DPS, profilom komponentov a finančnými nákladmi. Reálny kondenzátor zahŕňa aj ekvivalentný sériový odpor (ESR) a ekvivalentnú sériovú indukčnosť (ESL). Obe veličiny degradujú správnu funkciu kondenzátora a sú závislé na frekvencií. V praxi preto volíme kondenzátory s nízkymi hodnotami ESR a ESL. Vyššia hodnota ESR môže spôsobiť generovanie nadbytočného tepla a vzniku väčšieho úbytku napätia. Nežiadúca je aj vyššia hodnota ESL, ktorá zapríčiňuje rušenie. Výstupný kondenzátor odfiltruje zvlnený prúd cievky a zabezpečuje zásobník náboja pre prechodné deje vznikajúce pri skokovom zaťažení. Na zníženie zvlnenia a filtráciu výstupného napätia sú najčastejšie používané keramické kondenzátory, vyznačujúce sa nízkymi hodnotami ESR. Tantalové a elektrolytické kondenzátory poskytujú veľkú objemovú kapacitu v prevažne malých rozmeroch.

Podľa rovnice 4.7 je určená minimálna kapacita kondenzátora. Zvlnenie výstupného napätia  $\Delta U_{OUT}$  je určené z tabuľky 4-1 ako 10 % z hodnoty  $U_{OUT}$ .

$$C_{OUT(MIN)} = \frac{\Delta I_{OUT}}{8 \cdot f_{SW} \cdot \Delta U_{OUT}} = \frac{0,4}{8 \cdot 250000 \cdot 0,5} = 0,4 \text{ }\mu\text{F} \quad (4.7)$$

Zo vzťahu z katalógového listu [10] získame minimálnu kapacitu kondenzátora s ohľadom na prepäťovú špičku pri odľahčení.

$$C_{OUT} = \frac{L \cdot \Delta I_{OUT}^2}{(U_{OUT} + U_{OVERSHOOT})^2 - U_{OUT}^2} = \frac{47 \cdot 10^{-6} \cdot 0,4^2}{(5 + 0,3)^2 - 5^2} = 2,434 \text{ }\mu\text{F} \quad (4.8)$$

Dôležitým aspektom je overenie podmienky rezonancie. To znamená aby vlastný rezonančný kmitočet LC filtra bol dostatočne nízko pod hladinou pracovného kmitočtu meniča. Zo vzťahu 4.9 získame hodnotu kapacity pri rezonancií  $C_{REZ}$ , ktorú výsledná výstupná kapacita  $C_{OUT}$  musí rádovo prevyšovať.

$$C_{REZ} = \frac{1}{4 \cdot \pi^2 \cdot f_{SW}^2 \cdot L} = \frac{1}{4 \cdot \pi^2 \cdot 250000^2 \cdot 47 \cdot 10^{-6}} = 8,623 \text{ nF} \quad (4.9)$$

Ako vhodné riešenie je zvolená paralelná kombinácia kondenzátorov pre zníženie ESR. V zapojení sú použité keramické kondenzátory typu SMD. Tri o hodnotách  $4,7 \text{ }\mu\text{F}/50 \text{ V}$  (SMD 1206) a tri  $0,1 \text{ }\mu\text{F}/50 \text{ V}$  (SMD 0805).

### 4.1.3 Výpočet vstupnej kapacity

Vstupný filter je zložený z kondenzátorov, ktoré sú potrebné pre obmedzenie zvlnenia vstupného napätia vo výkonovej slučke. Odporúčajú sa keramické kondenzátory na zaistenie nízkej impedancie. Minimalizácia parazitných indukčností vznikajúcich vo výkonovej spínacej slučke je zabezpečená polohou vstupných kondenzátorov, ktoré sú umiestnené čo najbližšie k elektróde drain horného tranzistora a k source elektróde dolného tranzistora.

Minimálnu hodnotu vstupnej kapacity získame zo vzťahu uvedenom v katalógovom liste [10]. Strieda horného spínača je vypočítaná v kapitole 4.1.1. Zvlnenie vstupného napätia pre výpočet je zvolené rovnako 0,5 V.

$$C_{IN} = \frac{s_T \cdot (1 - s_T) \cdot I_{OUT}}{f_{SW} \cdot \Delta U_{IN}} = \frac{0,278 \cdot (1 - 0,278) \cdot 2}{250000 \cdot 0,5} = 3,21 \mu F \quad (4.10)$$

V zapojení je použitých 6 keramických kondenzátorov radených paralelne pre zníženie ESR. Tri sú o hodnotách 4,7  $\mu F$ /50 V (SMD 1206) a tri 0,1  $\mu F$ /50 V (SMD 0805) rovnako ako na výstupnom filtri. Kapacita je vyššia oproti minimálnej vypočítanej, čím je podmienka splnená a zvlnenie vstupného napätia  $\Delta U_{IN}$  bude minimálne.

### 4.1.4 Výber spínacích prvkov – tranzistorov

Významný vplyv na výkon DC/DC meniča má voľba výkonových tranzistorov. Vhodné riešenie ponúkajú unipolárne N-MOSFET tranzistory. Nízka hodnota odporu medzi elektródami D a S v zopnutom stave  $R_{DS(ON)}$  zabezpečuje redukovanie strát vedením. V dnešnej dobe sa hodnoty  $R_{DS(ON)}$  pohybujú v jednotkách až desiatkach m $\Omega$ . Rovnako tak nízke parazitné kapacity umožňujú rýchlejšie prechodové časy a znižujú straty spôsobené spínaním. V praxi platí, že čím nižšia hodnota  $R_{DS(ON)}$ , tým sú hodnoty náboja gate elektródy  $Q_G$  a výstupného náboja  $Q_{OSS}$  vyššie, čo sa uplatňuje aj v obrátenom zmysle. Preto je potrebné medzi spomínanými veličinami zvoliť kompromis.

N-MOSFET tranzistory majú integrovanú reverznú diódu. Tá sa z pohľadu stratového výkonu vyznačuje hlavne hodnotami reverzného zotavovacieho náboja  $Q_{RR}$  a času  $t_{RR}$ , ktoré sa pohybujú v desiatkach nC a nS.

Ďalší aspekt, ktorý je nutné zohľadniť pri výbere tranzistorov je hodnota prahového napätia  $U_{GS(th)}$  (gate threshold voltage), pri ktorej je tranzistor plne otvorený. Pre správnu funkciu musí byť prahové napätie tranzistora nižšie ako napäťová hodnota riadiaceho impulzu.

Dôležitým parametrom sú aj časy medzi zopnutím a vypnutím tranzistora a naopak, ktoré by z pohľadu spínacích strát mali byť čo najmenšie.

Pre chladenie tranzistorov je dôležitým parametrom nízky tepelný odpor, aby nedošlo k nadmernému zvýšeniu teploty. Záleží však aj na samotnom vyhotovení tranzistora a jeho puzdra. Pri vyšších výkonoch je potrebné tranzistory nainštalovať na chladič.

Pri samotnom napäťovom a prúdovom dimenzovaní sú najdôležitejšie hodnoty prierazne napätia medzi elektródami drain a source  $U_{(BR)DSS}$  a prúd pretekajúci tranzistorom  $I_D$ .

### **Prúdové a napäťové dimenzovanie horného tranzistora:**

Podľa rovnice 4.3 menič pracuje so striedou horného tranzistora  $s_T = 0,278$ . Pri prúdovom dimenzovaní je zanedbané zvlnenie výstupného prúdu .

$$I_{OUT} = 2 \text{ A}$$

$$I_{AVG} = I_{OUT} \cdot s_T = 2 \cdot 0,278 = 0,556 \text{ A} \quad (4.11)$$

$$I_{RMS} = I_{OUT} \cdot \sqrt{s_T} = 2 \cdot \sqrt{0,278} = 1,05 \text{ A} \quad (4.12)$$

Napäťovo sú dimenzované tranzistory na maximálnu vstupnú hodnotu napätia plus hodnoty predpokladaných prepäťových špičiek. Berie sa ohľad aj na toleranciu siete. V praxi sa uvádza zjednodušene, že prierazné napätie  $U_{(BR)DSS}$  tranzistora má byť minimálne dvojnásobok vstupného napätia  $U_{IN}$ .

$$U_{IN(MAX)} = 18 \text{ V}$$

$$U_{(BR)DSS} > 2 \cdot U_{IN(MAX)} = 2 \cdot 18 = 36 \text{ V} \quad (4.13)$$

### **Prúdové a napäťové dimenzovanie dolného tranzistora:**

Dolný tranzistor pracuje so striedou  $(1 - s_T)$ . Rovnako ako pri hornom tranzistore zanedbávame zvlnenie výstupného prúdu. Jednotlivé hodnoty prúdov získame:

$$I_{OUT} = 2 \text{ A}$$

$$I_{AVG} = I_{OUT} \cdot (1 - s_T) = 2 \cdot (1 - 0,278) = 1,44 \text{ A} \quad (4.14)$$

$$I_{RMS} = I_{OUT} \cdot \sqrt{(1 - s_T)} = 2 \cdot \sqrt{(1 - 0,278)} = 1,70 \text{ A} \quad (4.15)$$

Napäťovo je dolný tranzistor dimenzovaný rovnako ako horný. Opäť platí:

$$U_{IN(MAX)} = 18 \text{ V}$$

$$U_{(BR)DSS} > 2 \cdot U_{IN(MAX)} = 2 \cdot 18 = 36 \text{ V} \quad (4.16)$$

Vzhľadom na parametre meniča, napäťové a prúdové dimenzovanie je vybratý tranzistor N-MOSFET, konkrétne *Infineon IPD033N06N* pre horný aj dolný spínač, ktorý je výrobcom optimalizovaný pre synchronne usmerňovače. *Tabuľka 4-2* ukazuje parametre uvedeného tranzistora, ktorý je vyrobený v puzdre typu D-PAK. [12]

**Tabuľka 4-2: Parametre tranzistora Infineon IPD033N06N**

Parameter	Hodnota	Jednotka	Parameter	Hodnota	Jednotka
$U_{(BR)DSS}$	60	V	$Q_G$	27	nC
$U_{GS(th)}$	3,3	V	$Q_{RR}$	45	nC
$I_D$	90	A	$C_{OSS}$	1100	pF
$R_{DS(ON)}$	3,5	m $\Omega$	$t_{on}$	15	ns
$Q_{OSS}$	38	nC	$t_{off}$	25	ns

### **Straty horného tranzistora – HIGH SIDE:**

Podľa katalógového listu [10] horný tranzistor vedie prúd pretekajúci cievkou počas striedy  $S_T$ , kedy sa prejavujú najmä straty spôsobené spínaním. Celkové straty horného tranzistora  $\Delta P_{HS}$  sú suma strát spôsobených spínaním  $\Delta P_{SW}$ , vedením  $\Delta P_{CON}$ , strát vzniknutých nabíjaním výstupnej kapacity  $\Delta P_{COSS}$ , gate elektródy  $\Delta P_{GATE}$  a typicky dve tretiny strát spôsobených zotavením internej body diódy  $\Delta P_{RR}$ .

- Výpočet strát pre horný tranzistor čerpá z katalógového listu [10]. Straty spôsobené spínaním horného tranzistora sa prejavujú najviac:

$$\Delta P_{SW} = \frac{1}{4} \cdot U_{IN} \cdot f_{SW} \cdot \left[ \left( I_{OUT} - \frac{\Delta I_{OUT}}{2} \right) \cdot t_{on} + \left( I_{OUT} + \frac{\Delta I_{OUT}}{2} \right) \cdot t_{off} \right] =$$

$$\frac{1}{4} \cdot 18 \cdot 250000 \cdot \left[ \left( 2 - \frac{0,4}{2} \right) \cdot 15 \cdot 10^{-9} + \left( 2 + \frac{0,4}{2} \right) \cdot 25 \cdot 10^{-9} \right] = 92,3 \text{ mW} \quad (4.17)$$

- Straty vedením tranzistora vďaka nízkej striede horného spínača a hodnote odporu  $R_{DS(ON)}$  sú minimálne:

$$\Delta P_{CON} = S_T \cdot I_{OUT}^2 \cdot R_{DS(ON)} = \frac{5}{18} \cdot 2^2 \cdot 3,5 \cdot 10^{-3} = 3,88 \text{ mW} \quad (4.18)$$

- Straty hornej gate elektródy sú určené ako výkon potrebný na jej nabitie podľa vzorca 4.19:

$$\Delta P_{GATE} = U_{GS} \cdot f_{SW} \cdot Q_G = 7,5 \cdot 250000 \cdot 27 \cdot 10^{-9} = 50,1 \text{ mW} \quad (4.19)$$

- Straty nabíjaním výstupnej kapacity:

$$\Delta P_{COSS} = \frac{U_{IN}^2 \cdot f_{SW} \cdot C_{OSS}}{2} = \frac{18^2 \cdot 250000 \cdot 1100 \cdot 10^{-12}}{2} = 44,5 \text{ mW} \quad (4.20)$$

- Straty spôsobené zotavením internej body diódy:

$$\Delta P_{RR} = U_{IN} \cdot f_{SW} \cdot Q_{RR} = 18 \cdot 250000 \cdot 45 \cdot 10^{-9} = 202,5 \text{ mW} \quad (4.21)$$

- Celkové straty na hornom tranzistore sa rovnajú:

$$\begin{aligned}\Delta P_{HS} &= \Delta P_{SW} + \Delta P_{CON} + \Delta P_{GATE} + \Delta P_{COSS} + \frac{2}{3} \Delta P_{RR} = \\ &= 92,3 + 3,88 + 50,1 + 44,5 + \frac{2}{3} \cdot 202,5 = 325,8 \text{ mW}\end{aligned}\quad (4.22)$$

#### **Straty dolného tranzistora – LOW SIDE:**

Katalógový list [10] uvádza, že dolný tranzistor vedie prúd pretekajúci cievkou v čase, keď je horný tranzistor vypnutý (interval  $1-s_T$ ). Spínacie straty sú v tomto prípade zanedbateľné, pretože spínanie je realizované pri nulovom napätí – prúd prechádza z kanála na body diódy alebo naopak počas mŕtvej/ochrannej doby – dead time. Použitý kontroler LM 5145 s jeho adaptívnym časovaním riadenia gate elektród, minimalizuje straty vedením body diódy dolného tranzistora keď sú oba tranzistory vypnuté.

Celkové straty na dolnom spínači  $\Delta P_{LS}$  sa rovnajú sume strát vedením kanála tranzistora  $\Delta P_{CON}$ , vedením body diódy v ochrannej dobe  $\Delta P_{DT}$ , strát vzniknutých nabíjaním výstupnej kapacity  $\Delta P_{COSS}$ , strát na nabíjanie gate elektródy  $\Delta P_{GATE}$  a typicky jedna tretina strát spôsobených zotavením internej body diódy  $\Delta P_{RR}$ .

- Straty spôsobené vedením kanála tranzistora:

$$\Delta P_{CON} = (1 - s_T) \cdot I_{OUT}^2 \cdot R_{DS(ON)} = \left(1 - \frac{5}{18}\right) \cdot 2^2 \cdot 3,5 \cdot 10^{-3} = 10,1 \text{ mW} \quad (4.23)$$

- Straty vzniknuté vedením body diódy tranzistora počas ochrannej doby. Ochraná doba je podľa technického dokumentu [10]  $t_{dt1} = t_{dt2} = 14 \text{ ns}$ . Úbytok napätia na body diódy podľa [12] je  $U_F = 0,9 \text{ V}$ .

$$\begin{aligned}\Delta P_{DT} &= U_F \cdot f_{SW} \cdot \left[ \left( I_{OUT} + \frac{\Delta I_{OUT}}{2} \right) \cdot t_{dt1} + \left( I_{OUT} - \frac{\Delta I_{OUT}}{2} \right) \cdot t_{dt2} \right] = \\ &0,9 \cdot 250000 \cdot \left[ \left( 2 + \frac{0,4}{2} \right) \cdot 14 \cdot 10^{-9} + \left( 2 - \frac{0,4}{2} \right) \cdot 14 \cdot 10^{-9} \right] = 12,6 \text{ mW}\end{aligned}\quad (4.24)$$

- Stratový výkon na nabitie dolnej gate elektródy  $\Delta P_{GATE}$ , straty spôsobené nabíjaním výstupnej kapacity  $\Delta P_{COSS}$  a straty vzniknuté zotavením internej body diódy  $\Delta P_{RR}$  sú vypočítané pri hornom tranzistore. Ich číselné hodnoty sa pre identický dolný tranzistor nemenia.
- Celkové straty na dolnom tranzistore sa rovnajú:

$$\begin{aligned}\Delta P_{LS} &= \Delta P_{CON} + \Delta P_{DT} + \Delta P_{COSS} + \Delta P_{GATE} + \frac{1}{3} \cdot \Delta P_{RR} \\ &= 10,1 + 12,6 + 44,5 + 50,1 + \frac{1}{3} \cdot 202,5 = 184,8 \text{ mW}\end{aligned}\quad (4.25)$$

- Súčet strát na hornom  $\Delta P_{HS}$  a dolnom  $\Delta P_{LS}$  tranzistore určí celkové straty tranzistorov  $\Delta P_{TI}$ :

$$\Delta P_{T1} = \Delta P_{HS} + \Delta P_{LS} = 325,8 + 184,8 = 510,6 \text{ mW} \quad (4.26)$$

## 4.2 Riadiaca časť obvodu znižujúceho meniča

Riadiaca časť znižujúceho meniča je navrhnutá podľa katalógového listu [10] kontroléra LM 5145 od firmy Texas Instruments. Kontrolér je vhodný pre riadenie znižujúceho meniča so synchronným usmerňovačom.

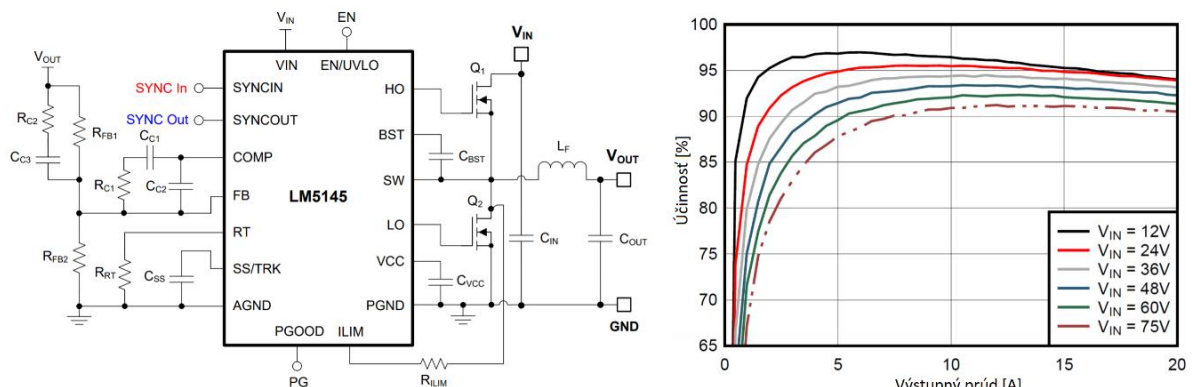
### 4.2.1 Popis LM 5145

Riadiaci kontrolér LM 5145 zabezpečuje riadenie MOSFET tranzistorov v znižujúcom meniči so synchronným usmerňovačom. Externé tranzistory sú ovládané driver-om s napäťovou hladinou 7,5 V, ktorá je dostačujúca pre spínanie bežných MOSFET tranzistorov. Disponuje širokým rozsahom vstupných napätí v hodnotách od 6 V do 75 V a rovnako tak výstupné napätia 0,8 V až 60 V ho predurčujú pre použitie v rôznych elektronických aplikáciách. Spínacia frekvencia je nastaviteľná v medziach od 100 kHz do 1 MHz.

Kontrolér poskytuje mnohé funkcie zabezpečujúce bezpečnú, spoľahlivú prevádzku s cieľom dosiahnutia vysokej účinnosti celého meniča. Napríklad ochrana pri prekročení nastaveného prúdu, vstupná podpäťová ochrana UVLO, adaptívna mŕtva doba (dead-time) medzi horným a dolným driver-om tranzistorov minimalizujúca straty vzniknuté vedením body diódy počas spínania.

Režim nútenej PWM (FPWM) eliminuje frekvenčné výkyvy a minimalizuje tak elektromagnetické rušenie.

Vyrába sa v 20 pinovom puzdre VQFN-20, ktoré sa vyznačuje veľmi malými rozmermi 3,5 mm x 4,5 mm. Vyžaduje však využitie teplovzdušnej spájkovacej stanice a mikroskopu.



**Obr. 4-1: Typické zapojenie podľa výrobcu a graf zobrazujúci účinnosť meniča v závislosti od výstupného prúdu pri  $U_{OUT} = 5$  V (prevzaté z [10])**

Kontrolér LM 5145 sa najčastejšie používa v znižujúcich meničoch, priemyselných motorových aplikáciách, rádiových vysielateľoch (RRU), výpočtových a počítačových aplikáciách.

### 4.2.2 Nastavenie presného spúšťania

Vstupný pin s označením EN/UVLO umožňuje nastavenie presnej hodnoty napätia, pri ktorej sa kontrolér vypne a hysterézie. Rovnako tak aj určenie konkrétnej napäťovej hladiny kedy sa riadiaci kontrolér spustí. Vnútorne je pin EN/UVLO pripojený na komparátor, ktorého referenčná hodnota napätia je  $U_{EN} = 1,2 \text{ V}$ . Podľa údajov výrobcu prúd dodávaný vnútorným zdrojom je  $I_{HYS} = 10 \text{ }\mu\text{A}$ .

Nastavenie presnej hodnoty je realizované pomocou odporového deliča zloženého z rezistorov  $R_{UV1}$  a  $R_{UV2}$ . Hladina napätia pre spúšťanie je  $U_{IN(ON)} = 9 \text{ V}$ , pre vypnutie  $U_{IN(OFF)} = 7 \text{ V}$  a hysterézia sa rovná rozdielu týchto dvoch napätí  $U_{HYS} = 2 \text{ V}$ .

$$R_{UV1} = \frac{U_{IN(ON)} - U_{IN(OFF)}}{I_{HYS}} = \frac{9 - 7}{10 \cdot 10^{-6}} = 200 \text{ k}\Omega \quad (4.27)$$

$$R_{UV2} = R_{UV1} \cdot \frac{U_{EN}}{U_{IN(ON)} - U_{EN}} = 200000 \cdot \frac{1,2}{9 - 1,2} = 30,7 \text{ k}\Omega \quad (4.28)$$

V zapojení sú použité hodnoty rezistorov  $R_{UV1} = 200 \text{ k}\Omega$  a  $R_{UV2} = 30 \text{ k}\Omega$ .

### 4.2.3 Nastavenie spínacej frekvencie

Hodnotu spínacej frekvencie nastavujeme pomocou rezistora  $R_{RT}$ , ktorý umiestnime medzi piny RT a AGND. Jeho veľkosť určíme podľa vzťahu 4.29. Voľba konkrétnej hodnoty spínacej frekvencie závisí od konkrétnych požiadaviek aplikácie. Vyššia hodnota nám zabezpečí možnosť použiť nižšiu hodnotu indukčnosti cievky, teda aj jej menšie rozmery. Naopak veľmi vysoká frekvencia bude vytvárať stratovú energiu pri prílišnom spínaní prvkov v obvode. Preto je dôležité nájsť správny kompromis. Kontrolér umožňuje zvoliť spínaciu frekvenciu v rozsahu od 100 kHz do 1 MHz. V znižujúcom meniči pre dané zameranie je stanovená na hodnotu  $f_{SW} = 250 \text{ kHz}$ .

$$R_{RT} = \frac{10^7}{f_{SW}} = \frac{10^7}{250000} = 40 \text{ k}\Omega \quad (4.29)$$

### 4.2.4 Konfigurácia soft-štartu, spätná väzba

Keď hodnota napätia na pine EN/UVLO prekročí 1,2 V, začne sa výstup nabíjať na danú napäťovú hladinu určenú rezistormi spätnej väzby  $R_{FB1}$  a  $R_{FB2}$ . Kontrolér ponúka nastaviteľný soft-štart pomocou umiestnenia kondenzátora  $C_{SS}$  medzi piny SS/TRK a AGND, ktorý určuje čas nabíjania výstupu  $t_{ss}$ . Podľa katalógového listu [10] je soft-štartový kondenzátor nabíjaný prúdom  $I_{SS} = 10 \text{ }\mu\text{A}$ . Soft-štart je dôležitý predovšetkým pri obmedzení zapínacieho prúdu, ktorý je dôsledkom veľkej výstupnej kapacity. Predchádza sa tak možným nadprúdom.



Pri výpočte hodnoty soft-start kondenzátora vychádzame zo vzťahu 4.30. Čas soft-startu je určený na hodnotu  $t_{ss} = 10$  ms. Hodnota referenčného napätia je  $U_{REF} = 0,8$  V.

$$C_{SS} = \frac{t_{ss} \cdot I_{SS}}{U_{REF}} = \frac{0,010 \cdot 10 \cdot 10^{-6}}{0,8} = 125 \text{ nF} \quad (4.30)$$

Výrobca uvádza podmienku aby hodnota kondenzátoru  $C_{SS}$  bola vyššia ako 2 nF. Táto podmienka je splnená:  $C_{SS} > 2$  nF.

Pomocou odporového deliča zloženého z rezistorov  $R_{FB1}$  a  $R_{FB2}$  je nastavený hladina výstupného napätia  $U_{OUT} = 5$  V. Hodnota rezistora  $R_{FB1} = 27$  k $\Omega$  je zvolená na základe odporúčaní výrobcu a k nej je dopočítaný rezistor  $R_{FB2}$  zo vzťahu (4.31).

$$R_{FB2} = \frac{U_{REF} \cdot R_{FB1}}{U_{OUT} - U_{REF}} = \frac{0,8 \cdot 27000}{5 - 0,8} = 5,1 \text{ k}\Omega \quad (4.31)$$

Pin označený PGOOD slúži na indikáciu výstupného napätia v regulačnom okne. Medzi pinom PGOOD a VCC je pripojený pull-up rezistor, ktorého hodnota je zvolená na  $R_{PG} = 20$  k $\Omega$ .

Regulačná slučka je tvorená rezistormi a kondenzátormi, ktorých hodnoty sú určené výrobcom:  $R_{C1} = 11$  k $\Omega$ ,  $R_{C2} = 30$   $\Omega$ ,  $C_{C1} = 3300$  pF,  $C_{C2} = 120$  pF,  $C_{C3} = 1000$  pF.

Pri aplikáciách s vyšším napätím treba dbať na to, aby pri prechodových dejoch hodnota napätia na pine VIN neprekročila maximálnu hranicu stanovenú výrobcom na 105 V. Napäťové špičky nad túto hranicu môžu zničiť a znefunkčniť kontrolér. Pre filtráciu a obmedzenie napäťových výkyvov je potrebné použiť vysoko kvalitné keramické kondenzátory. Kondenzátor  $C_{VIN} = 0,1$   $\mu$ F je použitý na doplnkové filtrovanie vstupného napätia, ktorým je napájaný lineárny stabilizátor.

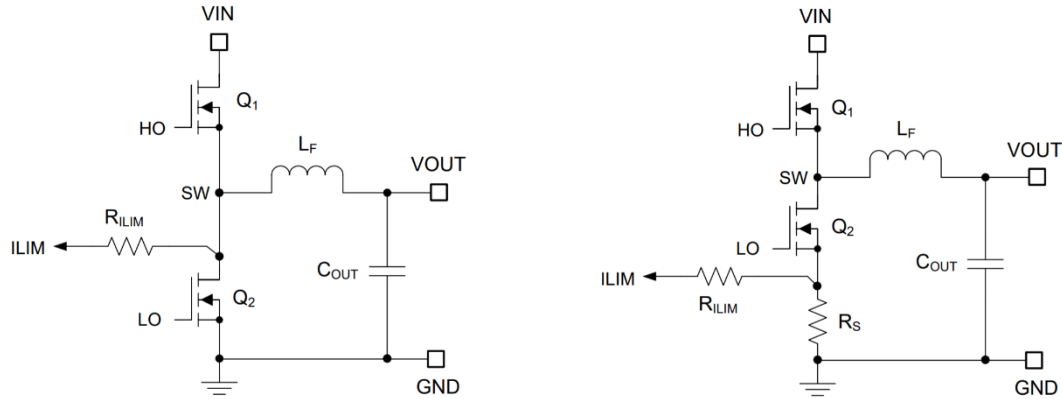
Kondenzátor  $C_{VCC}$  pripojený medzi pinom VCC a PGND zabezpečuje stabilitu pre výstup z lineárneho stabilizátora. Dôležité je umiestniť kondenzátor na doske plošných spojov čo najbližšie k riadiacemu kontroléru (k pinom VCC a PGND), pre minimalizovanie spínacích slučiek. Hodnota kondenzátoru je  $C_{VCC} = 4,7$   $\mu$ F.

## 4.2.5 Snímanie prúdu

Kontrolér LM 5145 ponúka elegantné nízkostratové snímanie prúdu, ktoré zabezpečuje ochranu pri preťažení a skrate. Rezistorom  $R_{ILIM}$  tečie referenčný prúd do komparátora, ktorý pri prekročení nastavenej hranice zabráni produkcií spínacích impulzov. Užívateľ má možnosť si vybrať snímanie prúdu priamo na vnútornom odpore  $R_{DS(ON)}$  dolného tranzistora (mód  $R_{DS(ON)}$ ), alebo snímanie pomocou externého meracieho rezistoru  $R_S$  (mód  $R_{SENSE}$ ). Obr. 4-2 zobrazuje obe možnosti snímania prúdu. V prvom prípade je rezistor  $R_{ILIM}$  pripojený medzi piny ILIM a SW. V druhom prípade je

rezistor  $R_{ILIM}$  pripojený na source elektródu dolného tranzistora spolu s externým meracím rezistorom  $R_S$ .

Vzhľadom na kolísanie napätia na pine ILIM, je výrobcom odporúčené zapojenie doplniť o kondenzátor  $C_{ILIM}$  medzi piny ILIM a PGND, tak aby časová konštanta RC bola rovná 6 ns.



**Obr. 4-2: Snímanie prúdu v móde  $R_{DS(ON)}$  (vľavo) a  $R_{SENSE}$  (vpravo) - prevzaté z [10]**

V znižujúcom meniči je použitý mód  $R_{DS(ON)}$ , kde výrobca uvádza hodnotu prúdu  $I_{RDS(ON)} = 200 \mu A$ , pomocou ktorej je dopočítaný rezistor  $R_{ILIM}$ . Zvolená hodnota, pri ktorej kontrolér prestane dodávať riadiace impulzy gate elektródam tranzistorov je  $I_V = 3 A$ . Veľkosť rezistora  $R_{ILIM}$  a kondenzátora  $C_{ILIM}$  dostaneme zo vzťahov 4.32 a 4.33:

$$R_{ILIM} = \frac{I_V - \frac{\Delta I_{OUT}}{2}}{I_{RDS(ON)}} \cdot R_{DS(ON)} = \frac{3 - \frac{0,4}{2}}{200 \cdot 10^{-6}} \cdot 3,5 \cdot 10^{-3} = 50 \Omega \quad (4.32)$$

$$R_{ILIM} \cdot C_{ILIM} = 6 \text{ ns} \Rightarrow C_{ILIM} = \frac{6 \cdot 10^{-9}}{R_{ILIM}} = \frac{6 \cdot 10^{-9}}{50} = 120 \text{ pF} \quad (4.33)$$

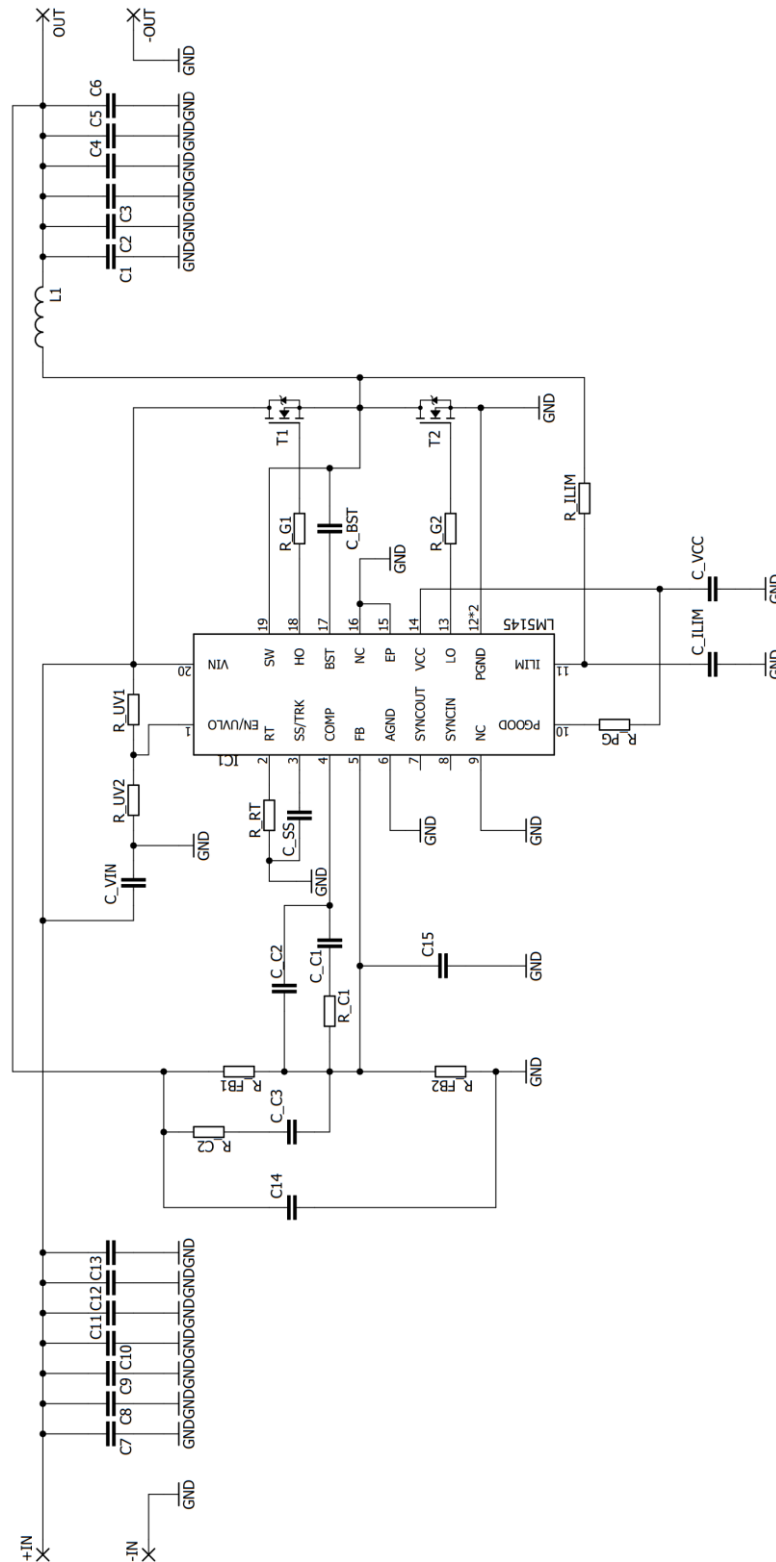
V zapojení sú použité hodnoty  $R_{ILIM} = 51 \Omega$  a  $C_{ILIM} = 120 \text{ pF}$ .

## 4.2.6 Bootstrap kondenzátor

Bootstrap kondenzátor pracuje v súvislosti so spínaním horného tranzistora. Použitie externej bootstrap diódy nie je nutné, pretože kontrolér LM 5154 má integrovanú bootstrap diódu. V čase keď je dolný tranzistor zopnutý, potenciál na pine SW sa blíži nule a kondenzátor  $C_{BST}$  sa nabíja z pinu VCC cez bootstrap diódu. Po rozopnutí dolného tranzistora sa kondenzátor vybíja a napája vnútorný driver hornej gate elektródy a je zabezpečené zopnutie horného tranzistora. Kondenzátor  $C_{BST}$  je pripojený medzi piny BST a SW, na doske plošných spojov čo najbližšie ku kontroléru, aby sa minimalizovali spínacie slučky. Výrobca udáva minimálnu hodnotu kondenzátoru  $C_{BST} = 0,1 \mu F$ . Pred gate elektródy oboch tranzistorov sú zaradené rezistory  $R_{G1} = R_{G2} = 5,6 \Omega$ .

### 4.3 Schéma zapojenia znižujúceho meniča

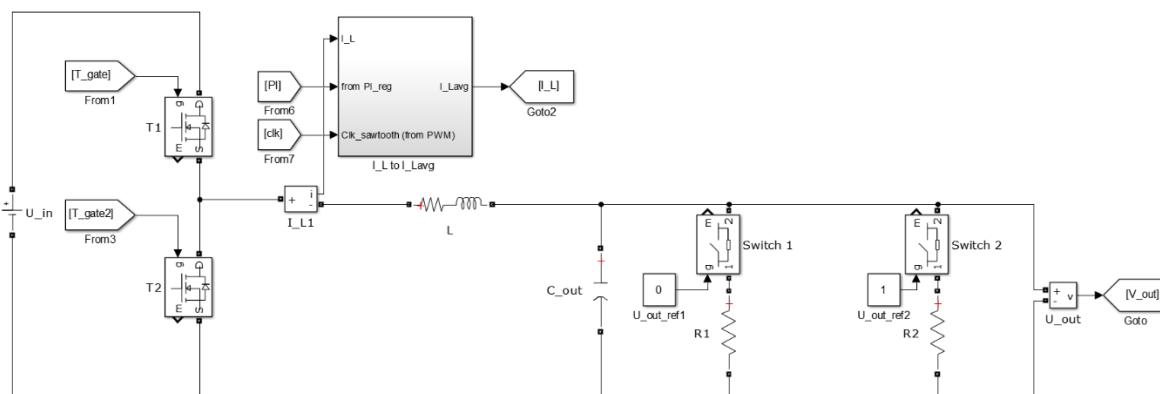
Schéma je vytvorená v softvérovom prostredí Autodesk Eagle na základe katalógového listu [10] kontroléra LM 5145. Kondenzátory C13, C14 a C15 slúžia ako doplnková filtrácia a ich hodnoty sú 0,1  $\mu\text{F}$ .



Obr. 4-3: Schéma zapojenia znižujúceho meniča

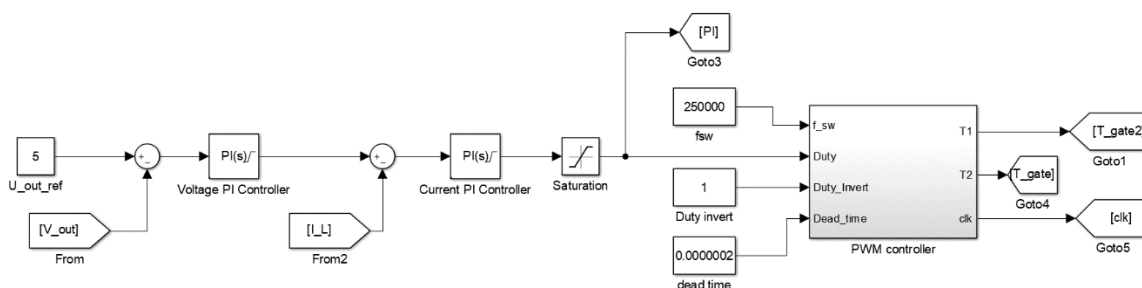
## 5 SIMULÁCIA ZNIŽUJÚCEHO MENIČA

Simulácia navrhnutého meniča podľa kapitoly 4 je realizovaná v softvérovom prostredí Matlab – Simulink. Je zhotovená pre lepšie pochopenie daných súvislostí v meniči a pre základné overenie a osvojenie priebehov pred samotnou realizáciou znižujúceho meniča.



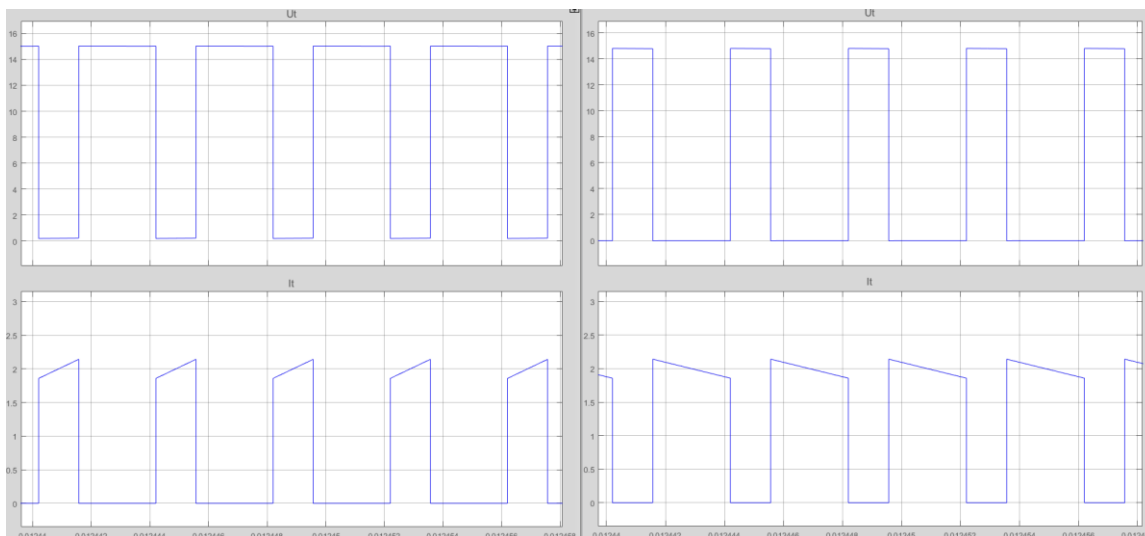
Obr. 5-1: Simulačná schéma silovej časti znižujúceho meniča

Na obr.5-1 znázornená silová schéma je vytvorená pomocou synchronného usmerňovača zloženého z horného a dolného MOSFET tranzistora. Nasleduje blok, ktorý prevádza píllovitý signál prúdu prechádzajúci cievkou na jeho strednú hodnotu pre regulátor. Použité akumulčné prvky predstavuje cievka o vypočítanej indukčnosti a výstupný kondenzátor o danej kapacite. Ako záťaž slúžia dva paralelne zapojené rezistory pripojené cez vlastné spínače. (Pre prehľadnosť a jednoduchosť sú zo schémy odstránené všetky prvky pre zobrazenie priebehov - SCOPE)



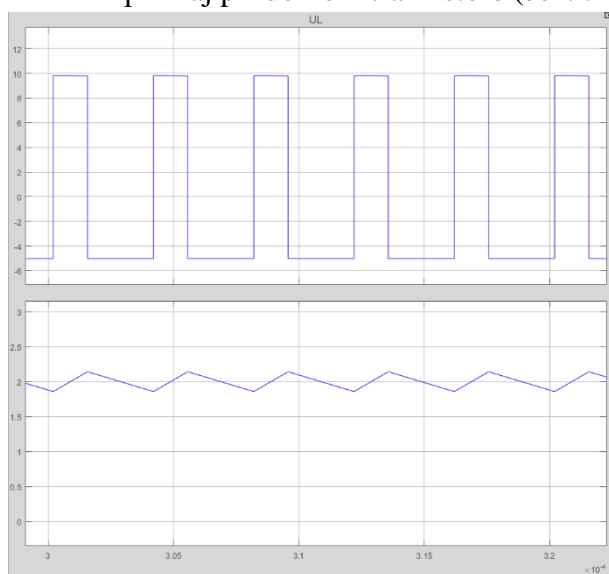
Obr. 5-2: Simulačná schéma riadiacej časti znižujúceho meniča

Na obr. 5-2 je zobrazená riadiaca schéma, ktorá zabezpečuje ovládanie spínacích prvkov v silovej časti znižujúceho meniča a reguláciu výstupných veličín. Riadiaca časť zjednodušene obsahuje napäťový a prúdový regulátor a kontrolér zabezpečujúci dodávanie spínacích impulzov pre synchronný usmerňovač.



**Obr. 5-3: Priebehy napätia drain-source a prúdu horného (vľavo) a dolného (vpravo) tranzistora.**

Na obr. 5-3 sú znázornené nasimulované priebehy napätí  $u_{DS}$  a prúdov pretekajúcich cez horný a dolný tranzistor. Tranzistory v simulácii považujeme za ideálne. Zaznamenané priebehy v ľavej časti potvrdzujú, že ak je horný tranzistor rozopnutý, nachádza sa na ňom plné vstupné napätie  $U_{IN} = 15 \text{ V}$  a prúd ním pretekajúci je nulový. Po zopnutí horného tranzistora je napätie  $U_{DS}$  nulové a prúd tranzistorom narastá až do jeho rozopnutia. Podobne to platí aj pri dolnom tranzistore (obr. 5-3 vpravo).

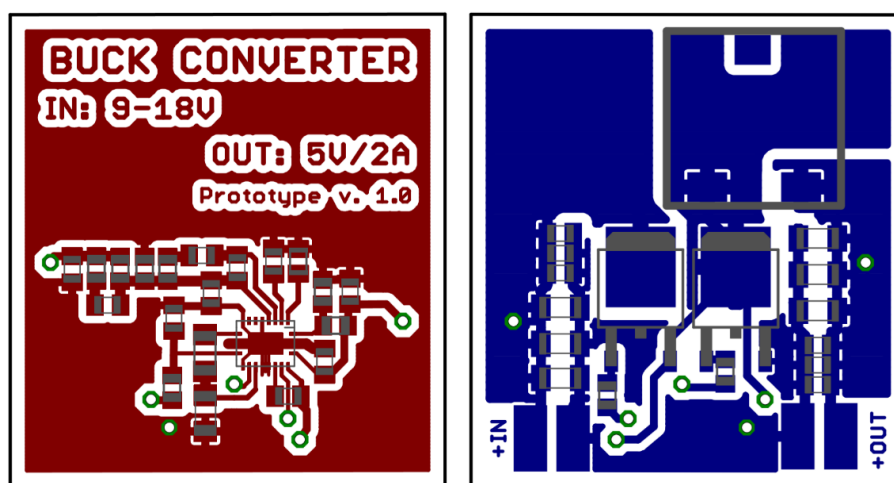


**Obr. 5-4: Priebeh napätia (hore) a prúdu (dole) na cievke**

Na obr. 5-4 sú nasimulované priebehy napätia ( $U_L$ ) a prúdu ( $I_L = I_{OUT}$ ) na cievke znižujúceho meniča. Napätie na cievke pri zopnutom hornom tranzistore je  $U_L = 10 \text{ V}$  a pri zopnutom dolnom tranzistore  $U_L = -5 \text{ V}$ , čo potvrdzuje teóriu. Zvlnenie výstupného prúdu v simulácii  $\Delta I_{OUT}$  zodpovedá vypočítanej hodnote v návrhu. Hodnota odčítaná z nasimulovaného priebehu je približne  $\Delta I_{OUT} = 0,3 \text{ A}$  (dopočítaná hodnota zvlnenia v návrhu  $\Delta I_{OUT} = 0,307 \text{ A}$ ).

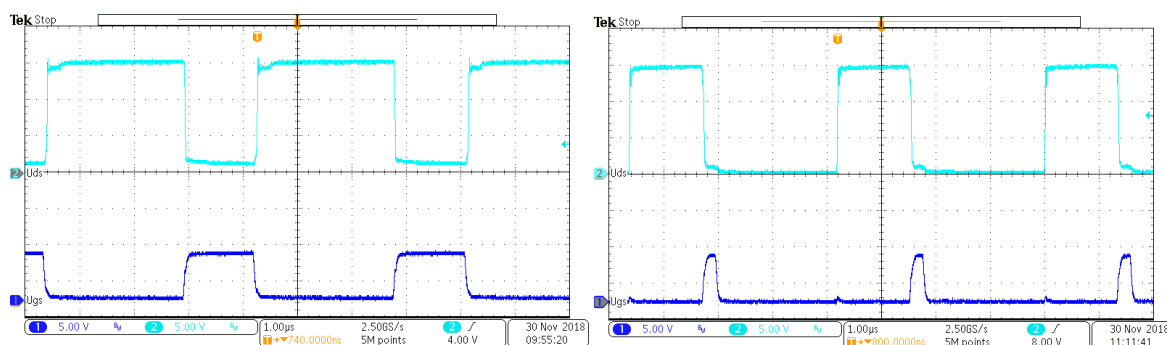
## 6 KONŠTRUKCIA A OŽIVENIE PROTOTYPU ZNIŽUJÚCEHO MENIČA

Doska plošný spojov znižujúceho meniča na *obr. 6-1* je navrhnutá v softvérovom prostredí Autodesk EAGLE. Výrobca kontroléru ideálne odporúča štvorvrstvový plošný spoj, avšak v rámci možnosti je navrhnutý dvojvrstvový plošný spoj. Na vrstve TOP sa nachádzajú riadiace obvody s riadiacim kontrolérom. Na vrstve BOTTOM je silová časť znižujúceho meniča (tranzistory, cievka, vstupné a výstupné kondenzátory). DPS je vyrábaná fotocestou. Kontrolér je z dôvodu malých rozmerov spájkovaný horúcim vzduchom pod mikroskopom. Všetky použité elektronické súčiastky sú SMD/SMT, vďaka čomu je celé zariadenie minimálnych rozmerov (34 mm x 37 mm).



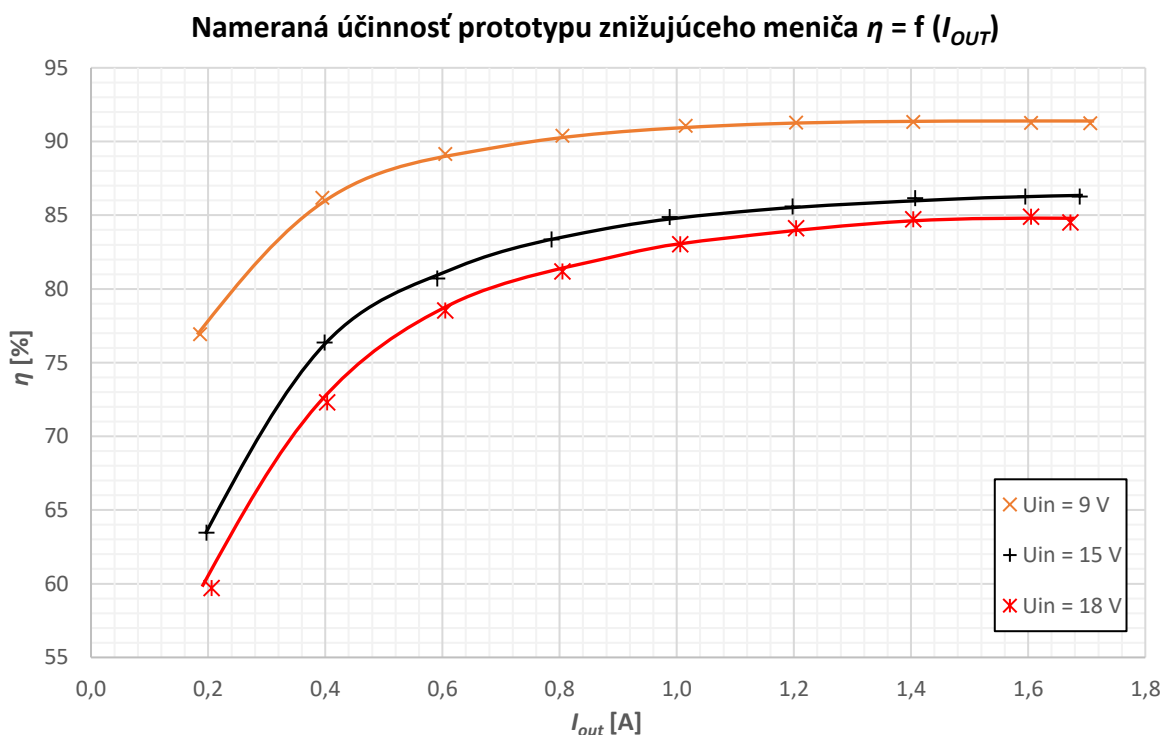
Obr. 6-1: Navrhnutá dvojvrstvová DPS – TOP (vľavo), BOTTOM (vpravo)

Po osadení všetkých súčiastok je na vstup meniča privedené jednosmerné napätie a menič je nezaťažený. Na osciloskope sú skontrolované riadiace signály. Pomalým zvyšovaním vstupného napätia nad hranicu 9 V, je menič uvedený do chodu naprázdno. Namerané výstupné napätie splnilo požiadavky návrhu  $U_{OUT} = 5\text{ V}$ . To signalizuje správnu funkciu meniča v chode naprázdno.



Obr. 6-2: Namerané priebehy napätí  $u_{DS}$  (CH2) a  $u_{GS}$  (CH1) pri zaťažení  $I_{OUT} = 1\text{ A}$  na osciloskope – horný tranzistor (vľavo), dolný tranzistor (vpravo)

Následne je menič pomaly zaťažovaný pomocou pripojenej elektronickej záťaže. Zároveň sú merané priebehy napätí  $u_{DS}$  a  $u_{GS}$  na osciloskope. Na obr. 6-2 je vidieť, že dolný tranzistor je pri zaťažení prúdom  $I_{OUT} = 1$  A zopnutý iba na krátky okamih (viď. krátky napäťový impulz  $u_{GS}$ ) a zvyšok cyklu vedie prúd interná body dióda tranzistora. To pri vyšších prúdoch spôsobí celkovú nižšiu účinnosť meniča. Kontrolér by mal pri danej hodnote prúdu pracovať v režime nútenej PWM (FPWM) a teda dolný tranzistor by mal byť zopnutý po celý čas daného cyklu. Odhliadnuc od tohto problému, prototyp meniča preukazuje správnu funkciu do hodnoty výstupného prúdu  $I_{OUT} = 1,6$  A. Pri zvyšovaní zaťaženia s cieľom dosiahnuť nominálnu hodnotu prúdu  $I_{OUT} = 2$  A, kontrolér začne do tranzistorov dodávať nepravidelné impulzy, ktoré sú spôsobené zarušenými signálmi na pinoch COMP a FB. Spôsobuje to návrh plošného spoja, ktorý má iba dve vrstvy a spínacie prvky sú umiestnené priamo nad riadiacimi obvodmi a kontrolérom. Rušenie sa tak prenáša zo silovej časti na riadiacu a pri zvýšenom zaťažení to spôsobuje nesprávnu funkciu meniča.

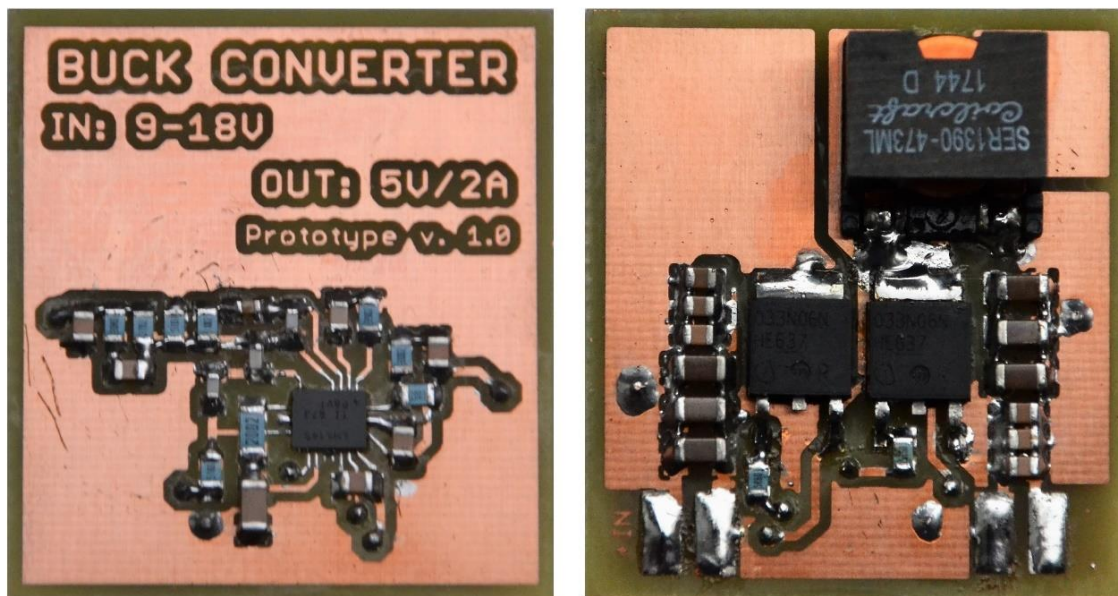


**Obr. 6-3: Graf zobrazujúci účinnosť zhotovené prototypu znižujúceho meniča pri rôznych vstupných napätiach  $U_{IN}$**

Závislosť účinnosti  $\eta$  na výstupnom prúde  $I_{OUT}$  je vyobrazená na obr. 6-3. Účinnosť je zmeraná pre tri vstupné napätia  $U_{IN}$ : 9 V, 15 V a 18 V. Pre spomínané problémy, bolo umožnené premerať účinnosti iba do hodnoty výstupného prúdu približne  $I_{OUT} = 1,7$  A. Nameraná účinnosť zhotoveného prototypu znižujúceho meniča je v rozsahu 85 % až 91,4 %.

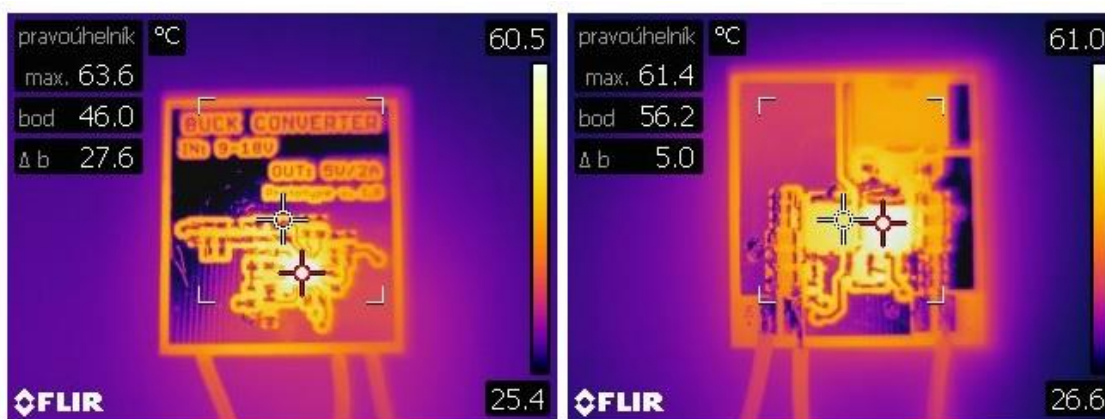


Na obr. 6-4 je vyhotovenie prototypu znižujúceho meniča navrhnutého a odsimulovaného v kapitolách 4 a 5. V ľavej časti obrázku je TOP vrstva, vpravo sa nachádza vrstva BOTTOM. Zariadenie nie je umiestnené v krabíčke, pretože sa jedná o prototyp, ktorého finálna aplikácia bude súčasťou väčšieho elektronického celku.



Obr. 6-4: Vyhotovenie prototypu znižujúceho

Fotografie zhotovené pomocou termokamery na obr. 6-5 znázorňujú tepelné rozloženie jednotlivých komponentov. Pri snímaní teplôt je menič zaťažovaný výstupným prúdom  $I_{OUT} = 1,5 \text{ A}$ . Najvyššiu teplotu v riadiacej časti znižujúceho meniča (TOP vrstva – vľavo) dosiahol kontrolér LM 5145 ( $63,6 \text{ }^{\circ}\text{C}$ ). Teplota okolia v tomto prípade je  $25,4 \text{ }^{\circ}\text{C}$ . V silovej časti (vrstva BOTTOM – vpravo) maximálne teploty dosiahli dolný tranzistor ( $61,4 \text{ }^{\circ}\text{C}$ ) a horný tranzistor ( $56,2 \text{ }^{\circ}\text{C}$ ). Teplota okolia  $26,6 \text{ }^{\circ}\text{C}$ .

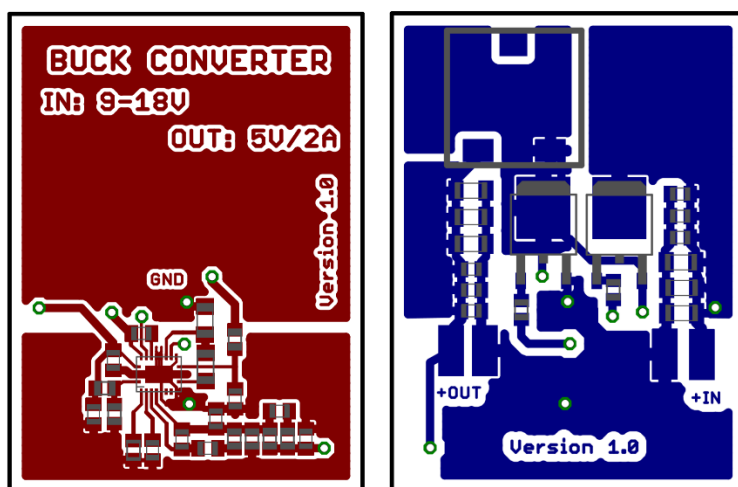


Obr. 6-5: Nasnímané teploty termokamerou pri zaťažení prúdom  $I_{OUT} = 1,5 \text{ A}$



## 7 ÚPRAVA PROTOTYPU A VYTVORENIE ZNIŽUJÚCEHO MENIČA 1.0:

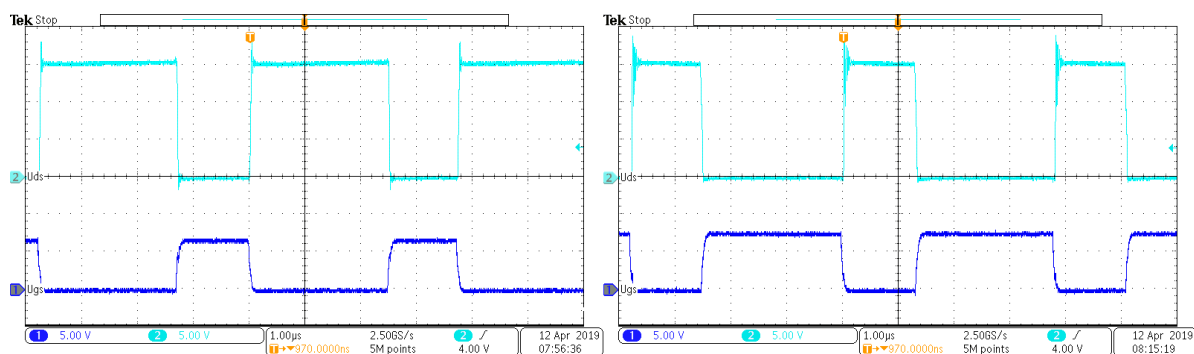
Prototyp znižujúceho meniča realizovaný v rámci semestrálneho projektu pre spomínané problémy v kapitole 6, nedosahoval požadované výstupné parametre. Ukázala sa náročnosť návrhu zariadenia s vysokými spínacími frekvenciami. Koncepcia rozloženia súčiastok silovej a riadiacej časti obvodu znižujúceho meniča pri dvojvrstvovom plošnom spoji sa prejavila ako nevhodná. Návrh plošného spoja prešiel úpravou s cieľom odstrániť nedostatky preukázané pri oživení prototypu.



Obr. 7-1: Upravený návrh DPS znižujúceho meniča v1.0 (TOP - vľavo, BOTTOM – vpravo)

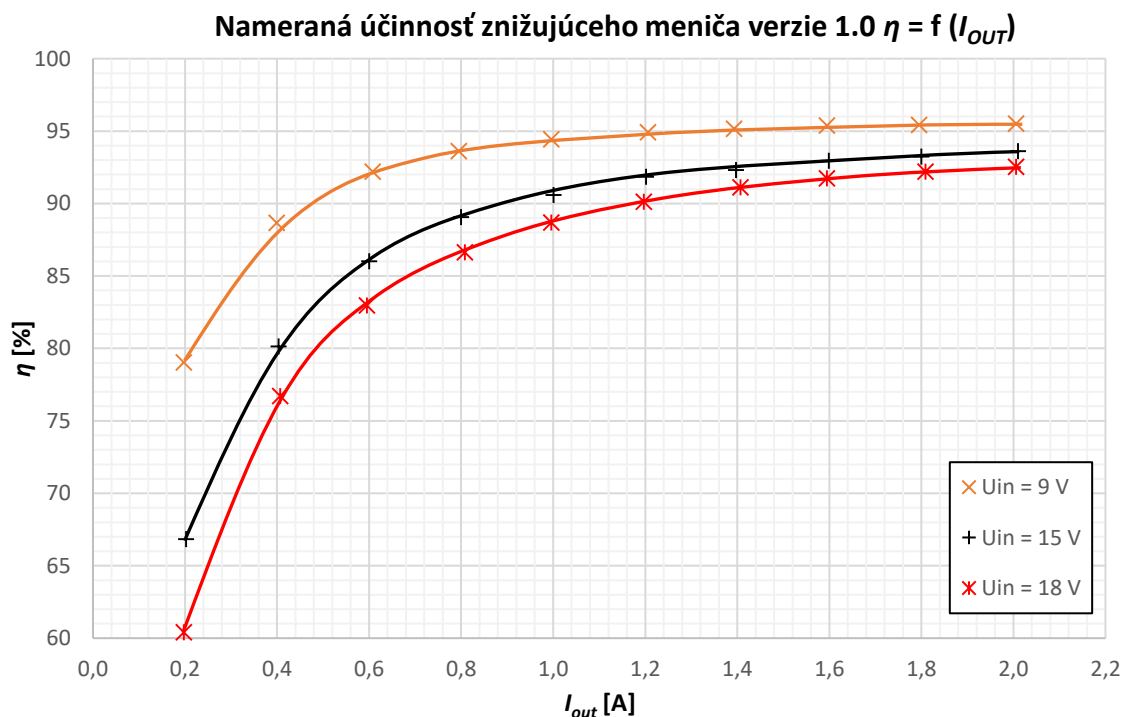
Na obr. 7-1 je návrh plošného spoja opäť vytvorený v softvéri prostredí Autodesk Eagle. DPS prešlo úpravou v rozmiestnení jednotlivých komponentov. Riadiaca časť meniča sa presunula do spodnej časti DPS. Naopak silová časť obvodu je posunutá smerom nahor. Zväčšili sa rozmery DPS na 36 x 48 mm, avšak výsledkom je odstránenie problému prototypu meniča, kedy boli spínacie prvky a riadiaca časť priamo nad sebou.

Po osadení DPS súčiastkami je menič oživovaný pomalým zvyšovaním vstupného napätia  $U_{IN}$  nad hodnotu 9 V. Pri prekročení udávanej hranice začne pracovať kontrolér a na výstupe je nameraná žiadaná hodnota výstupného napätia  $U_{OUT} = 5$  V. Priebehy riadiacich impulzov dodávaných na gate elektródy tranzistorov sú stabilné. Opäť sa preukázala správna funkcia meniča v stave naprázdno. Na výstup meniča je pripojená elektronická záťaž. Pri pomalom zvyšovaní záťaže, kontrolovaní vstupných a výstupných napätí, prúdov a zároveň sledovaní meraných priebehov riadiacich signálov na osciloskope (obr. 7-2), je postupne dosiahnutá požadovaná hodnota výstupného prúdu  $I_{OUT} = 2$  A. Z obr. 7-2 vyplýva, že kontrolér dodáva do tranzistorov pravidelné a stabilné impulzy pri plnej záťaži, čo signalizuje správnosť úpravy návrhu DPS v porovnaní s prototypom meniča.



**Obr. 7-2: Namerané priebehy napätí  $u_{DS}$  (CH2) a  $u_{GS}$  (CH1) pri zaťažení  $I_{OUT} = 2$  A na osciloskope – horný tranzistor (vľavo), dolný tranzistor (vpravo)**

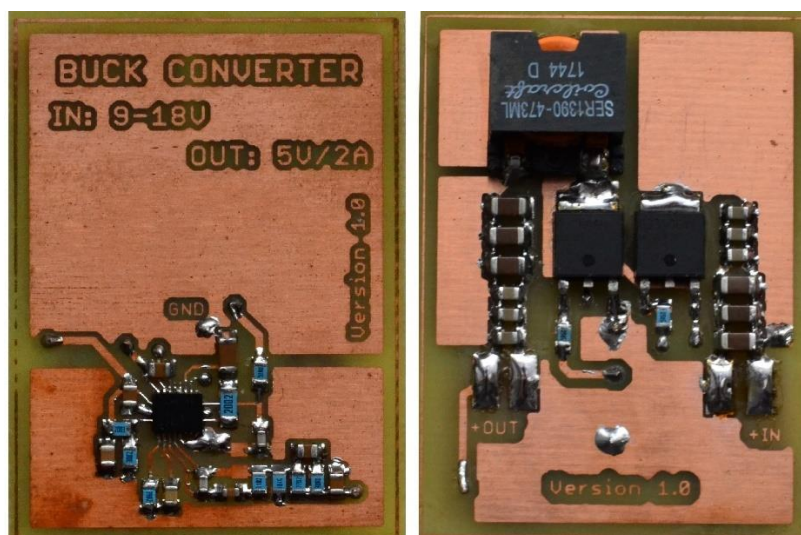
Na nameraných priebehoch napätia  $u_{DS}$  horného a dolného tranzistora sa objavuje malý napät'ový prekmit o hodnote približne 3 V, ktorý vzniká pri vypínaní tranzistora v stave kedy ním preteká výstupný prúd  $I_{OUT} = 2$  A. Pri uzavretí kanála sa prejaví parazitná kapacita a indukčnosť prívodov tranzistora.



**Obr. 7-3: Graf znázorňujúci účinnosť znižujúceho meniča 1.0 pri rôznych vstupných napät'och  $U_{IN}$**

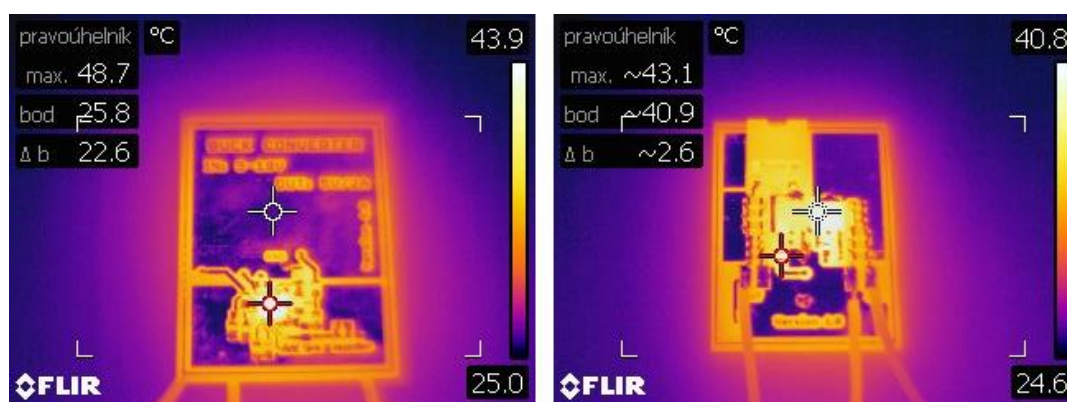
Po oživení nasleduje meranie účinnosti v závislosti od výstupného prúdu  $I_{OUT}$ , pri troch hodnotách vstupného napät'ia  $U_{OUT}$  (9V , 15 V, 18 V). Namerané závislosti zobrazuje obr. 7-3, na ktorom je vidieť výrazné zlepšenie účinnosti v porovnaní s prototypom. Dosiahnutá účinnosť sa pohybuje v rozmedzí od 92,5 % do 95,5 %. Namerané hodnoty potvrdili správnosť zmien, ktoré boli vykonané pri návrhu novej DPS, ktorá je inováciou prototypu .

Finálne vyhotovenie meniča, po osadení SMD súčiastkami znázorňuje *obr. 7-4*. Rozmiestnenie vychádza z predchádzajúceho prototypu opísaného v *kapitole 6*. Na prvý pohľad je zrejmá spomínaná úprava DPS, kvôli ktorej sa jej rozmery zväčšili. Riadiaca časť obvodu sa posunula výraznejšie smerom nadol, oproti silovej časti. Na ľavej strane je vrstva TOP, na pravej BOTTOM.



**Obr. 7-4: Finálne vyhotovenie znižujúceho meniča verzie 1.0**

Pomocou termokamery FLIR sú zaznamenané teploty spínacích súčiastok meniča a riadiaceho kontroléra (*obr. 7-5*) pri zaťažení výstupným prúdom  $I_{OUT} = 2$  A. Teplota okolia sa pohybovala na hranici 25 °C. Kontrolér LM 5145 (vľavo) dosahuje 48,7 °C. V silovej časti meniča je teplota horného tranzistora 43,1 °C a dolného tranzistora 41,1 °C. Tepelné namáhanie komponentov sa v porovnaní s prototypom, ktorého zaznamenané priebehy teplôt sú na *obr. 6-5* znížilo v priemere o 16,1 °C. Tento rozdiel by v skutočnosti mal byť ešte väčší, keďže prototyp meniča bol pri meraní termokamerou zaťažený zníženým výstupným prúdom o hodnote  $I_{OUT}=1,5$  A. Jeho teploty by reálne boli ešte vyššie.



**Obr. 7-5: Zaznamenané teploty pri  $I_{OUT} = 2$  A pomocou termokamery FLIR**

## 8 ZNIŽUJÚCI MENIČ 2.0:

S cieľom dosiahnuť vyššiu účinnosť je vytvorená ďalšia verzia znižujúceho meniča 2.0, ktorá vychádza z verzie 1.0. Obvodové zapojenie riadiacej a silovej časti zostáva nezmenené, avšak je vybraný nový typ tranzistora N-MOSFET Infineon BSZ042N06NS. Je realizovaný v puzdre menších rozmerov TSDSON-8 FL ako predchádzajúci D-PAK. Zvolený tranzistor má oproti použitému vo verzií 1.0 o málo väčší odpor  $R_{DS(ON)}$ , naopak výstupná kapacita a jednotlivé náboje sú nižších hodnôt, čo sa kladne prejaví na celkovom stratovom výkone. Jeho základné parametre sú uvedené v tabuľke 8-1.

**Tabuľka 8-1: Parametre tranzistora Infineon BSZ042N06NS**

Parameter	Hodnota	Jednotka	Parameter	Hodnota	Jednotka
$U_{(BR)DSS}$	60	V	$Q_G$	20	nC
$U_{GS(th)}$	3,3	V	$Q_{RR}$	30	nC
$I_D$	40	A	$C_{OSS}$	900	pF
$R_{DS(ON)}$	4	m $\Omega$	$t_{on}$	17	ns
$Q_{OSS}$	30	nC	$t_{off}$	25	ns

Dimenzovanie nového tranzistora je zhodné s predchádzajúcim uvedeným v kapitole 4.1.4. Rovnako tak výpočet strát tranzistora je vykonaný identickým postupom, preto v nasledujúcej tabuľke 8-2 sú uvedené iba vypočítané hodnoty jednotlivých stratových výkonov.

**Tabuľka 8-2: Vypočítané straty horného a dolného tranzistora Infineon BSZ042N06NS**

Druh strát	Horný tranzistor [mW]	Dolný tranzistor [mW]
$\Delta P_{SW}$	96,3	-
$\Delta P_{DT}$	-	12,6
$\Delta P_{CON}$	4,4	11,5
$\Delta P_{GATE}$	37,5	37,5
$\Delta P_{COSS}$	36,5	36,5
$\Delta P_{RR}$	90	45
<b>Celkové straty</b>		
$\Delta P_{HS}, \Delta P_{LS}$	264,7	143,1

Súčet strát horného  $\Delta P_{HS}$  a dolného  $\Delta P_{LS}$  tranzistora určuje celkové straty tranzistorov  $\Delta P_{T2}$  v znižujúcom meniči 2.0.

$$\Delta P_{T2} = \Delta P_{HS} + \Delta P_{LS} = 264,7 + 143,1 = 407,8 \text{ mW} \quad (8.1)$$

Celkové straty tranzistorov v meniči 2.0 majú hodnotu  $\Delta P_{T2} = 407,8 \text{ mW}$ . Sú o 102,8 mW nižšie v porovnaní s verziou 1.0 ( $\Delta P_{T1} = 510,6 \text{ mW}$ ). Tento rozdiel sa prejaví v zlepšení celkovej účinnosti.

Súčiastky pre snímanie prúdu je potrebné prepočítať, pretože vnútorný odpor tranzistora v zopnutom stave má oproti predchádzajúcej verzii meniča vyššiu hodnotu, konkrétne  $R_{DS(ON)} = 4 \text{ m}\Omega$ . Výpočet vychádza z kapitoly 4.2.5. Zvolená hodnota, pri ktorej kontrolér prestane dodávať riadiace impulzy je opäť  $I_V = 3 \text{ A}$ . Pre výpočet rezistora  $R_{ILIM}$  a kondenzátora  $C_{ILIM}$  sú použité vzťahy 8.2 a 8.3:

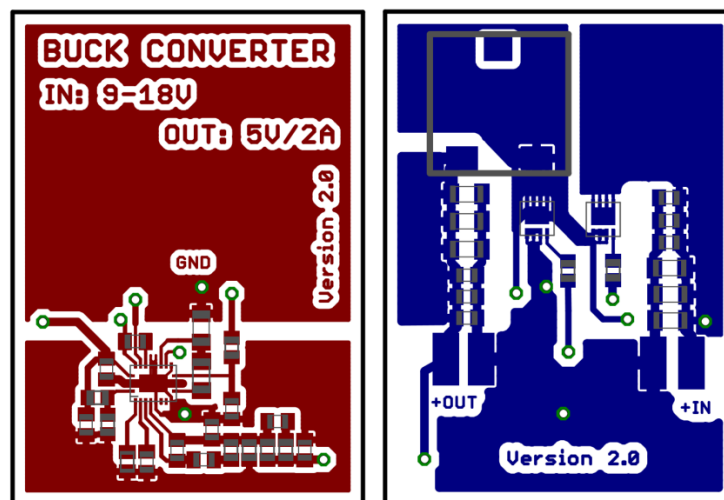
$$R_{ILIM} = \frac{I_V - \frac{\Delta I_{OUT}}{2}}{I_{RDS(ON)}} \cdot R_{DS(ON)} = \frac{3 - \frac{0,4}{2}}{200 \cdot 10^{-6}} \cdot 4 \cdot 10^{-3} = 56 \Omega \quad (8.2)$$

$$R_{ILIM} \cdot C_{ILIM} = 6 \text{ ns} \Rightarrow C_{ILIM} = \frac{6 \cdot 10^{-9}}{R_{ILIM}} = \frac{6 \cdot 10^{-9}}{56} = 107 \text{ pF} \quad (8.3)$$

Použité skutočné hodnoty súčiastok sú  $R_{ILIM} = 56 \Omega$  a  $C_{ILIM} = 100 \text{ pF}$ .

## 8.1 Konštrukcia a oživenie meniča 2.0:

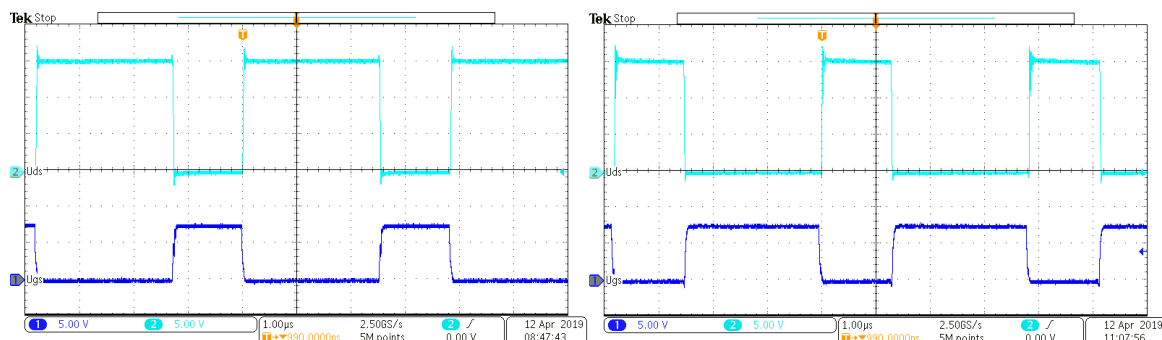
Návrh DPS je vytvorený v softvérovom prostredí Autodesk Eagle. Vznikol inováciou verzie 1.0 a rozmery sú nezmenené 36 x 48 mm. Hlavnou zmenou je nahradenie tranzistora Infineon IPD033N06N (puzdro D-PAK) menej stratovým Infineon BSZ042N06NS, ktorý je realizovaný v puzdre TSDSON-8 FL. Toto špecifické puzdro nebolo súčasťou základných knižníc softvéru Autodesk Eagle, preto bolo nutné túto súčiastku vytvoriť samostatne. Zhotovený návrh znázorňuje obr. 8-1.



Obr. 8-1: DPS znižujúceho meniča 2.0 (TOP - vľavo, BOTTOM – vpravo)

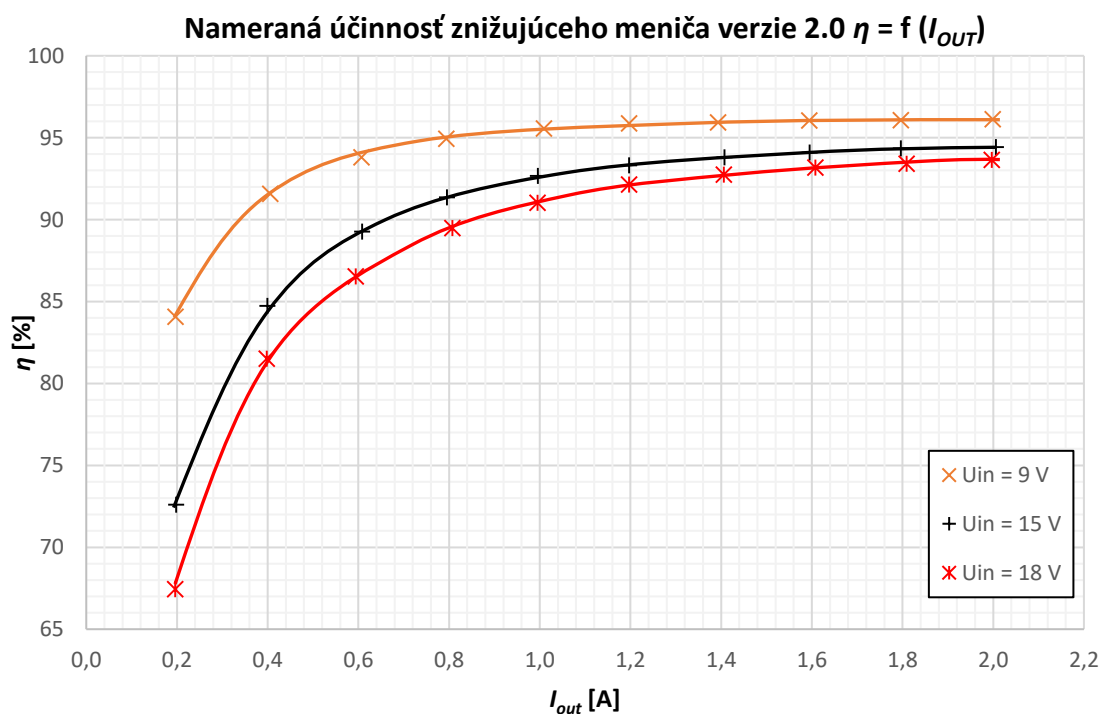
Samotná konštrukcia a oživenie meniča prebiehali rovnako ako pri predošlých verziách. Celý proces prebiehal bez komplikácií, keďže sa jedná o overený základ z predchádzajúcej verzie.

Obr. 8-2 zobrazuje priebehy napätí  $u_{GS}$  a  $u_{DS}$  horného a dolného tranzistora zaznamenané na osciloskope, ktoré sú pravidelné a stabilné. Navrhnutý menič funguje bez problémov pri plnej záťaži prúdom  $I_{OUT} = 2$  A.



**Obr. 8-2: Namerané priebehy napätí  $u_{DS}$  (CH2) a  $u_{GS}$  (CH1) pri zaťažení  $I_{OUT} = 2$  A – horný tranzistor (vľavo), dolný tranzistor (vpravo)**

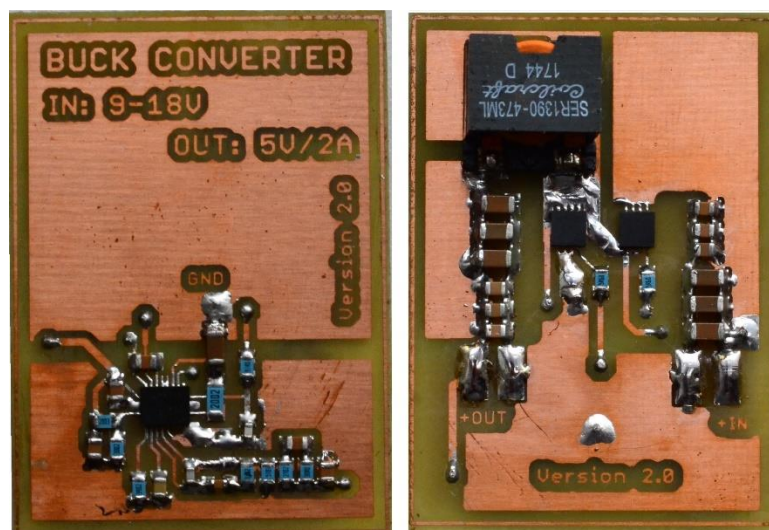
Na obr. 8-3 je graf celkovej účinnosti meniča pri troch hodnotách vstupného napätia  $U_{IN}$ . Menič verzie 2.0 dosahuje účinnosť v rozmedzí 93,7 % až 96,1 %. Namerané hodnoty dokazujú nárast účinnosti oproti verzií 1.0 v priemere o 1 %, čím sa potvrdil teoretický výpočet strát zvoleného tranzistora. Vyššie hodnoty v oblasti výstupných prúdov približne do  $I_{OUT} = 0,6$  A sú spôsobené menšími kapacitami tranzistora.



**Obr. 8-3: Graf znázorňujúci účinnosť znižujúceho meniča 2.0 pri rôznych vstupných napätiach  $U_{IN}$**

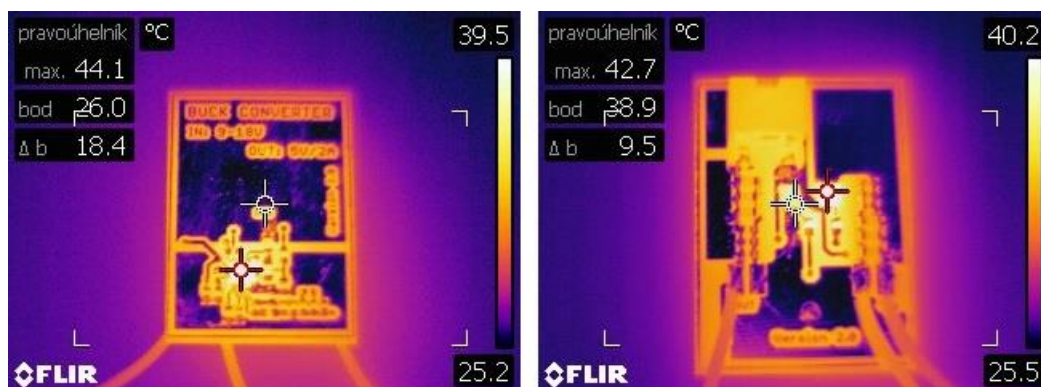


DPS bola vyrábaná fotocestou, následne osadená prepojkami a súčiastkami typu SMD. Na *obr. 8-4* je dokončené finálne vyhotovenie meniča verzie 2.0. Konceptcia predchádzajúcej verzie ostala zachovaná. Na ľavej strane sa nachádza riadiaca časť (vrstva TOP) a na pravej silová časť (vrstva BOTTOM). Viditeľné sú menšie puzdra tranzistorov TSDSON-8 FL. Na spájkovanie tohto typu puzdier bolo nutné využiť teplovzdušnú spájkovaciu stanicu a mikroskop, čím sa zvýšila náročnosť osadenia horného a dolného tranzistora v porovnaní s puzdrom D-PAK.



**Obr. 8-4: Finálne vyhotovenie znižujúceho meniča verzie 2.0**

Zaznamenané teploty jednotlivých komponentov meniča termokamerou FLIR sú zobrazené na *obr. 8-5*. Na riadiacej časti obvodu (vľavo) dosahuje kontrolér LM 5145 teplotu 44,1 °C. Spínacie prvky silovej časti obvodu (vpravo) dosiahli 42,7 °C (horný tranzistor) a 38,9 °C (dolný tranzistor). Teplota okolia sa pohybovala medzi 25,2 °C a 25,5 °C. V porovnaní s verziou v1.0 teploty klesli v rozsahu 1 °C až 4 °C, čo je pri tranzistoroch spôsobené aj nižšími stratami.



**Obr. 8-5: Zaznamenané teploty pri  $I_{OUT} = 2$  A pomocou termokamery FLIR**

## 9 ZNIŽUJÚCI MENIČ S TRANZISTORMI GAN:

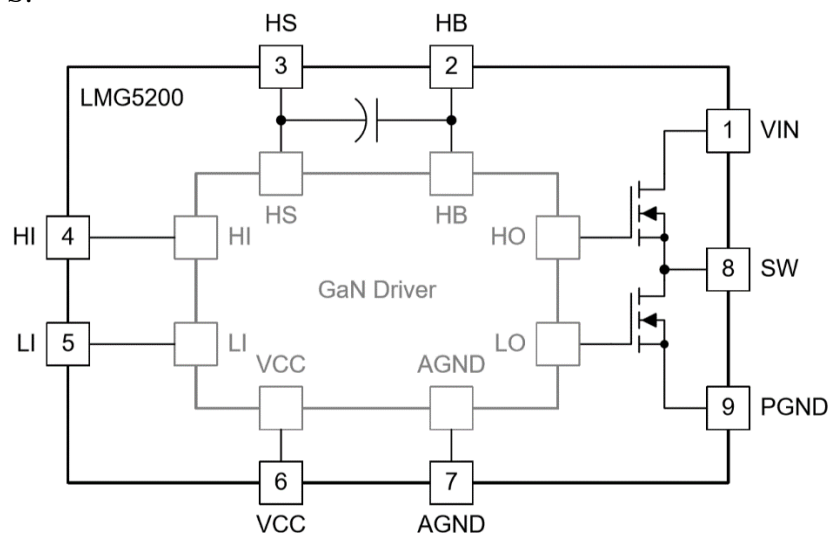
Za účelom zvýšenia účinnosti a použitia spínacích prvkov na odlišnej materiálovej báze je vytvorený znižujúci menič s tranzistormi gálium nitrid (GaN). V zapojení je použitý modul LMG 5200, ktorý bol poskytnutý firmou Texas Instruments.

### 9.1 Popis modulu LMG 5200

Modul LMG 5200 poskytuje integrovaný výkonový stupeň s maximálnym vstupným napätím 80 V a prúdom 10 A. Ako je vidieť na *obr. 9-1*, hlavnou časťou zariadenia sú dva gálium nitrid tranzistory (typ enhancement-mode/obohacovací režim) riadené vysokofrekvenčným driverom s možnosťou spínacej frekvencie až 10 MHz. Napájanie modulu je potrebné zabezpečiť jednosmerným napätím 5 V. Rozsah pracovných teplôt sa pohybuje od -40 °C do 125 °C.

Výhodou modulu je nízka vstupná kapacita  $C_{ISS}$  a výstupná kapacita  $C_{OSS}$ . Rovnako tak malý vnútorný odpor tranzistorov medzi elektródami drain a source v zopnutom stave  $R_{DS(ON)}$  výrobca udáva 15 mΩ.

Z hľadiska konštrukcie puzdro QFM zabezpečuje minimalizovanie parazitných indukčností. Obsahuje 9 pinov a jeho rozmery 6 mm x 8 mm umožňujú ušetriť miesto pri návrhu DPS.



**Obr. 9-1: Zjednodušená bloková schéma modulu LMG 5200 (prevzaté z [13])**

Predchádzajúce zrealizované verzie znižujúcich meničov obsahovali vždy dva externé kremíkové tranzistory od firmy Infineon v samostatných puzdách. V porovnaní s nimi, má verzia s GaN oba tranzistory integrované v jednom puzdre modulu.

V nasledujúcej *tabuľke 9-1* sú uvedené potrebné parametre modulu LMG 5200, pre výpočet strát.



**Tabuľka 9-1: Parametre tranzistorového modulu LMG 5200**

Parameter	Hodnota	Jednotka	Parameter	Hodnota	Jednotka
$U_{(BR)DSS}$	80	V	$Q_G$	3,8	nC
$I_D$	10	A	$Q_{RR}$	2	nC
$R_{DS(ON)}$	15	m $\Omega$	$C_{OSS}$	266	pF
$Q_{OSS}$	21	nC	$t_{on}, t_{off}$	31,5	ns

Straty, ktoré vznikajú na tranzistoroch v module LMG 5200 sú počítané rovnakým spôsobom ako pri predošlých verziách. Z tohto dôvodu sú v *tabuľke 9-2* uvedené iba vypočítané hodnoty stratových výkonov. Taktiež napäťové a prúdové dimenzovanie sa zhoduje s *kapitolou 4.1.4*.

**Tabuľka 9-2: Vypočítané straty tranzistorového modulu LMG 5200**

Druh strát	Horný tranzistor [mW]	Dolný tranzistor [mW]
$\Delta P_{SW}$	141	-
$\Delta P_{DT}$	-	12,6
$\Delta P_{CON}$	16,6	43,3
$\Delta P_{GATE}$	7,1	7,1
$\Delta P_{COSS}$	10,8	10,8
$\Delta P_{RR}$	6	3
<b>Celkové straty</b>		
$\Delta P_{HS}, \Delta P_{LS}$	181,5	76,8

Celkové straty  $\Delta P_{T3}$  modulu LMG 5200 vyjadruje vzťah 9.1 a sú dané súčtom strát na hornom  $\Delta P_{HS}$  a dolnom  $\Delta P_{LS}$  tranzistore.

$$\Delta P_{T3} = \Delta P_{HS} + \Delta P_{LS} = 181,5 + 76,8 = 258,3 \text{ mW} \quad (9.1)$$

V konfrontácii s predchádzajúcou verziou meniča 2.0 ( $\Delta P_{T2} = 407,8 \text{ mW}$ ) sú straty  $\Delta P_{T3}$  nižšie o 149,5 mW. Oproti verzií 1.0 ( $\Delta P_{T1} = 510,6 \text{ mW}$ ) je pokles viditeľnejší a to dokonca o 252,3 mW.

## 9.2 Návrh meniča

Schéma znižujúceho meniča s GaN tranzistormi je inováciou predošlých verzií a znázorňuje ju *obr. 9-7*. Základný návrh aj číselné hodnoty súčiastok sú identické ako v *kapitole 4*, preto v nasledujúcich odstavcoch budú ozrejmene iba zmeny v schéme.

Vnútorňý odpor tranzistora medzi elektródami drain a source v zopnutom stave má hodnotu  $R_{DS(ON)} = 15 \text{ m}\Omega$ . Je teda potrebné prepočítať súčiastky pre snímanie prúdu. Hranica prúdu, pri ktorej kontrolér prestane dodávať riadiace impulzy je  $I_V = 3 \text{ A}$ . Rezistor  $R_{ILIM}$  a kondenzátor  $C_{ILIM}$  určujú vzťahy 9.2 a 9.3:

$$R_{ILIM} = \frac{I_V - \frac{\Delta I_{OUT}}{2}}{I_{RDS(ON)}} \cdot R_{DS(ON)} = \frac{3 - \frac{0,4}{2}}{200 \cdot 10^{-6}} \cdot 15 \cdot 10^{-3} = 210 \, \Omega \quad (9.2)$$

$$R_{ILIM} \cdot C_{ILIM} = 6 \, \text{ns} \Rightarrow C_{ILIM} = \frac{6 \cdot 10^{-9}}{R_{ILIM}} = \frac{6 \cdot 10^{-9}}{210} = 28,6 \, \text{pF} \quad (9.3)$$

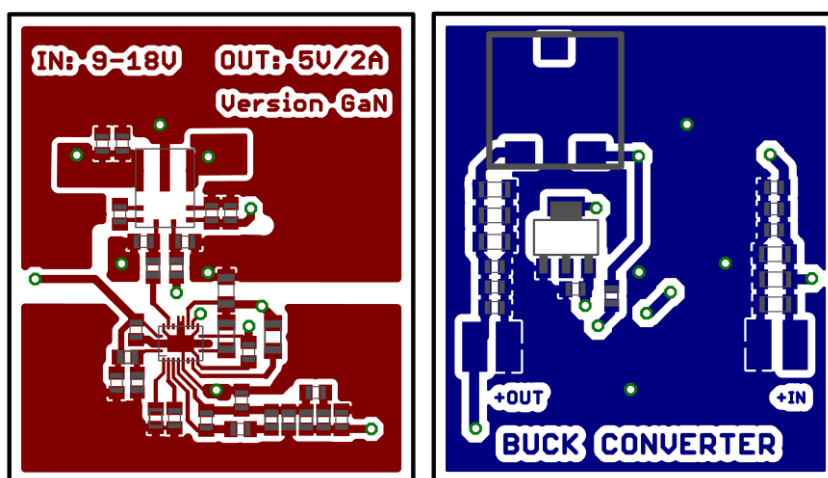
Použité skutočné hodnoty súčiastok sú  $R_{ILIM} = 200 \, \Omega$  a  $C_{ILIM} = 33 \, \text{pF}$ .

Napájanie modulu LMG 5200 je realizované pomocou lineárneho stabilizátora LD1117/5V, na ktorého vstupe je 7,5 V z pinu kontroléra VCC. Na výstupe vytvára jednosmerné napätie o hodnote 5 V. Na vstupe a výstupe sú pripojené filtračné kondenzátory C20 a C21 s kapacitou 10  $\mu\text{F}$ .

Kondenzátor C19 (100 nF) absorbuje zotavovací náboj z bootstrap diódy a zabezpečuje nabíjanie gate elektród horného a dolného spínača. Kondenzátor C18 funguje ako bootstrap a má kapacitu 100 nF, zároveň napája podpäťový obvod UVLO.

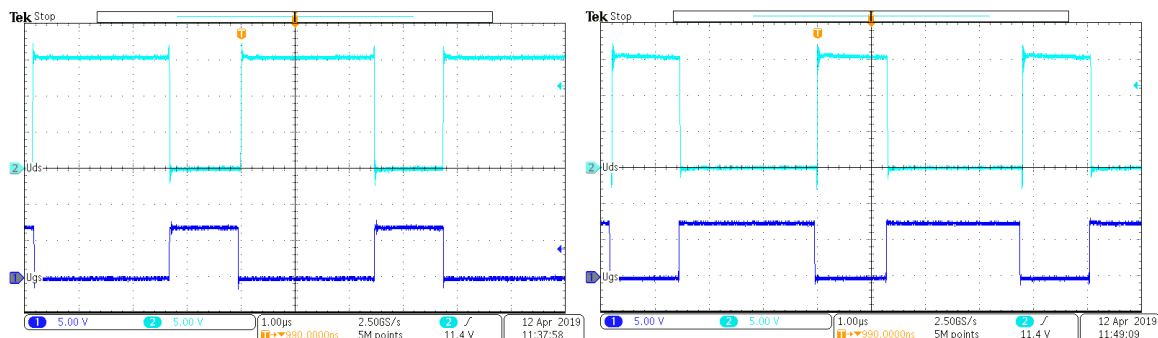
### 9.3 Konštrukcia a oživenie meniča

Návrh DPS je realizovaný v softvéri Autodesk Eagle ako dvojvrstvový plošný spoj o rozmeroch 41 mm x 47 mm (*obr. 9-2*). S komplikovanejším puzdrom modulu LMG 5200, doplnením lineárneho stabilizátora LD1117/5V a pridaním filtračných kondenzátorov vzrástla náročnosť vytvorenia DPS. Pre spomínané dôvody sa mierne zväčšili rozmery DPS. Puzdro modulu sa nenachádzalo v knižniciach softvéru, preto bolo nutné jeho samostatné vytvorenie. Oproti predchádzajúcim verziám je modul s tranzistormi umiestnený na vrstve TOP, za účelom dosiahnutia čo najkratších vodivých cestičiek vedúcich ku gate elektródam modulu. Na rovnakej vrstve je umiestnená celá riadiaca časť meniča. Vstupné a výstupné kondenzátory sú situované spolu s cievkou a lineárnym stabilizátorom na vrstve BOTTOM.



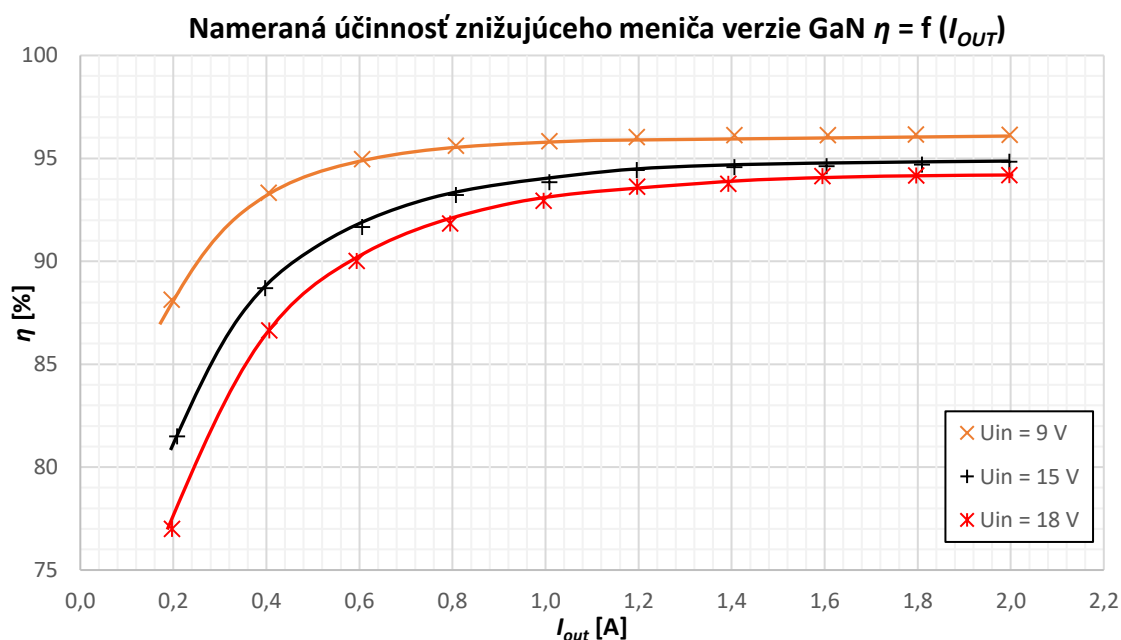
Obr. 9-2: DPS znižujúceho meniča GaN (TOP - vľavo, BOTTOM – vpravo)

Menič je oživovaný rovnakým spôsobom ako všetky predošlé verzie. Pomalým zvyšovaním vstupného napätia  $U_{IN}$  nad hranicu 9 V sa spustí riadiaci kontrolér, ktorý uvedie menič do prevádzky. Na výstupe sa objavilo žiadaných 5 V. Riadiace impulzy tranzistorov boli skontrolované pomocou osciloskopu. Následne na výstup meniča je pripojená elektronická záťaž. Postupným zaťažovaním a kontrolovaním jednotlivých priebehov na osciloskope je dosiahnutá hodnota výstupného prúdu  $I_{OUT} = 2$  A. Pri menovitej hodnote výstupného prúdu sú na *obr. 9-3* zaznamenané stabilné priebehy riadiacich impulzov pre modul LMG 5200. Potvrdila sa správnosť návrhu meniča.

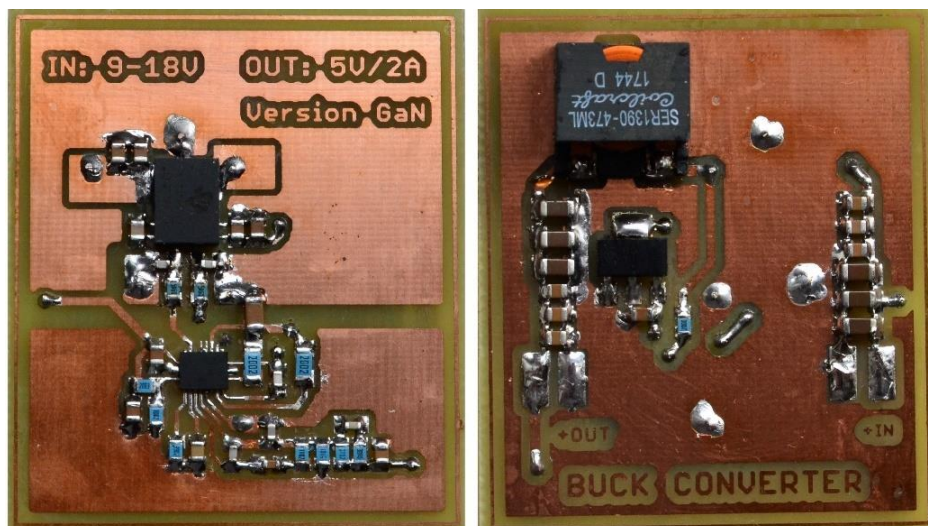


**Obr. 9-3: Namerané priebehy napätí  $u_{DS}$  (CH2) a  $u_{GS}$  (CH1) pri zaťažení  $I_{OUT} = 2$  A – horný tranzistor (vľavo), dolný tranzistor (vpravo)**

Po oživení je vykonané meranie účinnosti pri rôznych vstupných napätiach  $U_{IN}$ . Namerané hodnoty boli vyhodnotené formou grafu, ktorý je zobrazený na *obr. 9-4*. Účinnosť znižujúceho meniča s GaN tranzistormi sa pri menovitom výstupnom prúde  $I_{OUT} = 2$  A pohybuje v rozmedzí od 94,2 % do 96,2 %. V porovnaní s predchádzajúcimi verziami meničov sa účinnosť opäť mierne zvýšila. Nárast je viditeľný najmä v oblasti výstupných prúdov, kde sa prejavujú minimálne kapacity tranzistorov GaN.

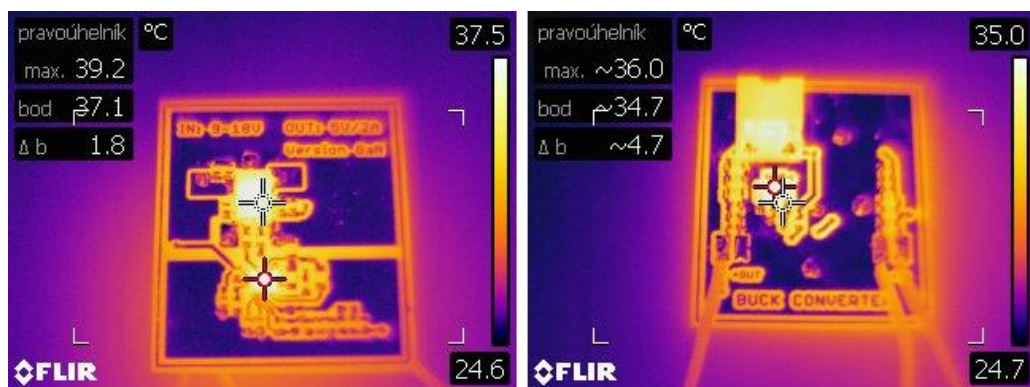


**Obr. 9-4: Graf znázorňujúci účinnosť znižujúceho meniča verzie GaN**



**Obr. 9-5: Finálne vyhotovenie znižujúceho meniča verzie GaN**

Obr. 9-5 zobrazuje dokončený znižujúci menič s GaN tranzistormi. Dvojvrstvová DPS je osadená súčiastkami SMD. Osadenie modulu LMG 5200 a riadiaceho kontroléra LM 5145 prebiehalo pod mikroskopom za pomoci teplovzdušnej spájkovacej stanice. Puzdro LMG 5200 má piny iba zo spodnej strany (žiadne viditeľné spájkovacie plošky z bočných strán puzdra), čím sa komplikoval proces spájkovania a následnej kontroly vodivých spojení.

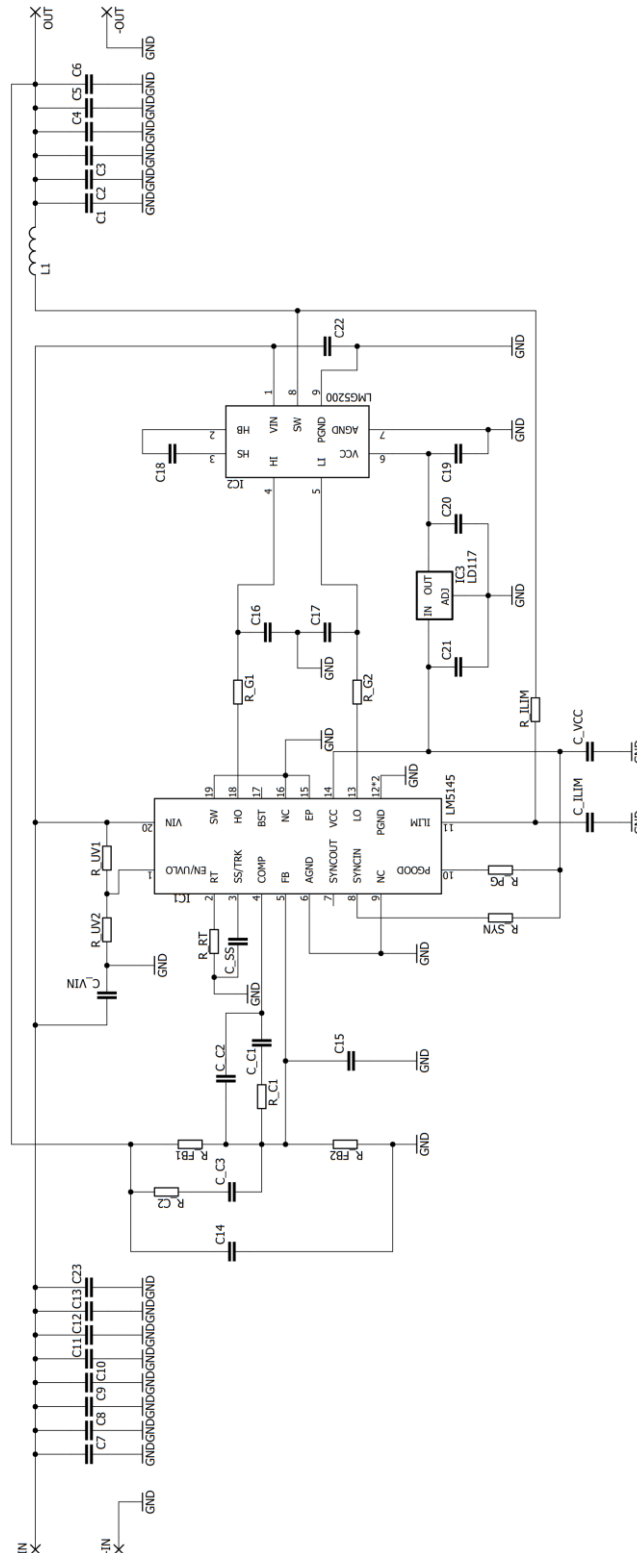


**Obr. 9-6: Zaznamenané teploty** Zaznamenané teploty pri  $I_{OUT} = 2\text{ A}$  pomocou termokamery FLIR.

Snímky zobrazujúce teplotu jednotlivých súčiastok sú vyobrazené obr. 9-6. Na vrstve TOP (vľavo) dosiahol modul LMG 5200 teplotu 39,2 °C a riadiaci kontrolér 37,1 °C. Lineárny stabilizátor na vrstve BOTTOM (vpravo) zaznamenal teplotu 36 °C. Teplota okolia sa pohybovala okolo 24,6 °C.

## 9.4 Schéma zapojenia meniča s GaN tranzistormi

Kondenzátory C16, C17 (10 pF) slúžia pre filtráciu riadiacich signálov vstupujúcich do modulu LMG 5200. Rovnako tak kondenzátory C22 a C23 (100 nF) vykonávajú doplnkovú filtráciu vstupného signálu.



Obr. 9-7: Schéma zapojenia znižujúceho meniča s GaN tranzistormi

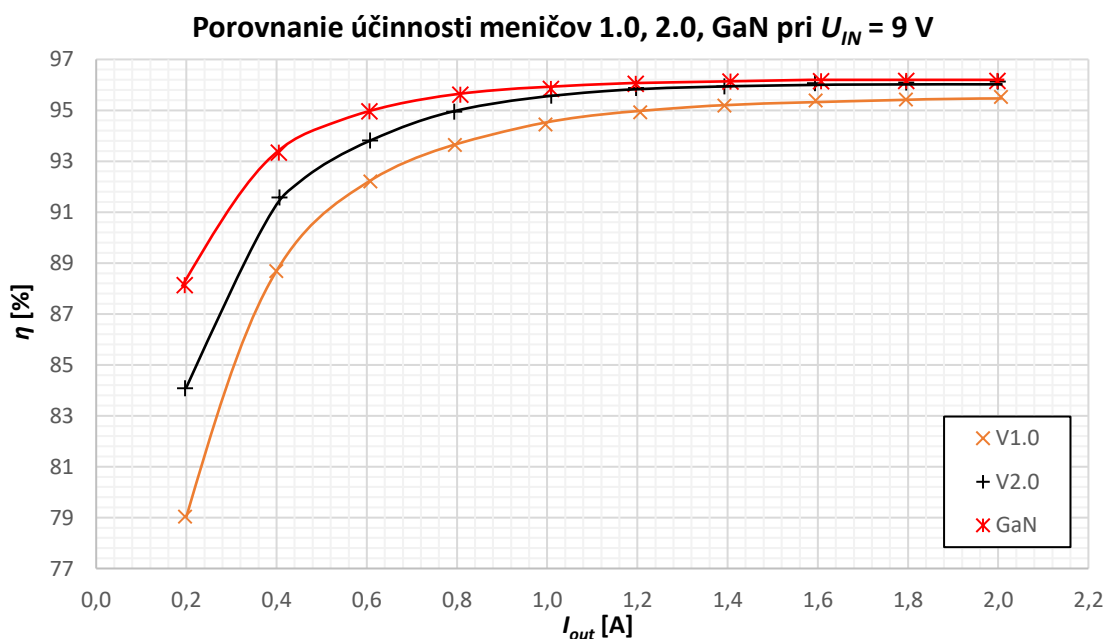
## 10 POROVNANIE ZREALIZOVANÝCH MENIČOV

V rámci kapitoly je zrealizované porovnanie vyrobených meničov z hľadiska účinnosti, strát, teplôt, rozmerov a cien. Namerané účinnosti jednotlivých verzií pri výstupnom prúde  $I_{OUT} = 2\text{ A}$  sú uvedené v *tabuľke 10-1*.

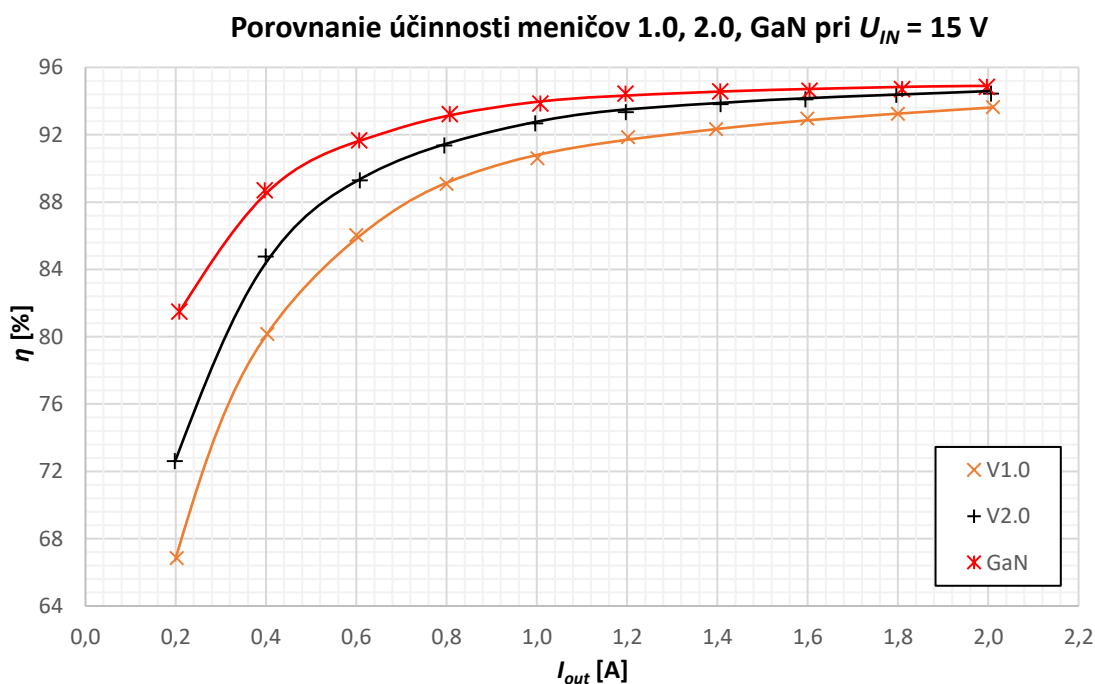
**Tabuľka 10-1: Porovnanie účinnosti jednotlivých meničov pri  $I_{OUT} = 2\text{ A}$**

Verzia meniča	Účinnosť meničov		
	$U_{IN} = 9\text{ V}$	$U_{IN} = 15\text{ V}$	$U_{IN} = 18\text{ V}$
	[%]	[%]	[%]
1.0	95,5	93,6	92,5
2.0	96,1	94,4	93,7
GaN	96,2	94,8	94,2

Podľa predpokladov najlepšie obstála verzia s GaN tranzistormi a to hlavne v oblasti nižších výstupných prúdov, čo znázorňuje *obr. 10-1* až *obr. 10-3*. Spôsobujú to najmä nízke kapacity GaN tranzistorov. V oblasti vyšších prúdov sa prejavuje väčší odpor  $R_{DS(ON)}$  v porovnaní s tranzistormi vo verzií 2.0 a rozdiel už nie je tak markantný. Pre možnosť dosiahnutia ešte vyššej účinnosti verzie s GaN, by bola ideálna štvorvrstvová DPS, skrz zložitejšiu schému meniča, ktorá vznikla pridaním modulu LMG 5200 a lineárneho stabilizátora LD1117/5V. Tým by sa zabezpečil jednoduchší návrh DPS a lepšie oddelenie riadiacej časti obvodu od silovej. Napriek navrhutej dvojvrstvovej DPS je účinnosť meniča s GaN tranzistormi najvyššia.

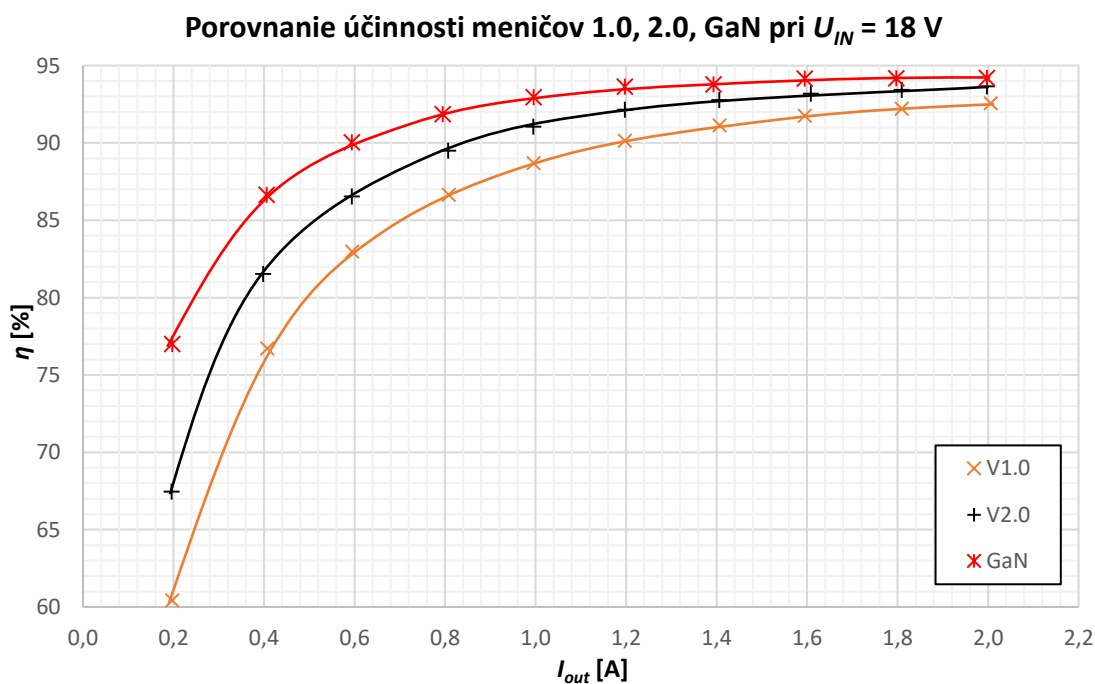


**Obr. 10-1: Priebehy účinností meničov pri  $U_{IN} = 9\text{ V}$**



**Obr. 10-2: Priebiehy účinností meničov pri  $U_{IN} = 15\text{ V}$**

Z obr. 10-1 až obr. 10-3 je vidieť, že hodnoty účinností s narastajúcim napätím  $U_{IN}$  klesajú, pretože vstupné napätie figuruje vo vzťahoch pre výpočet strát tranzistorov, ktorými sa zaoberá kapitola 4.1.4. Pri všetkých vyrobených verziách meničov sa potvrdil teoretický výpočet strát (tabuľka 10-2). Verzia 1.0 s najvyššími stratami má najnižšiu účinnosť. Menej stratové tranzistory vo verzii 2.0 sa postarali o nárast účinnosti. Posledná verzia s GaN je najefektívnejšia zo všetkých a má teda najnižšie straty.



**Obr. 10-3: Priebiehy účinností meničov pri  $U_{IN} = 18\text{ V}$**

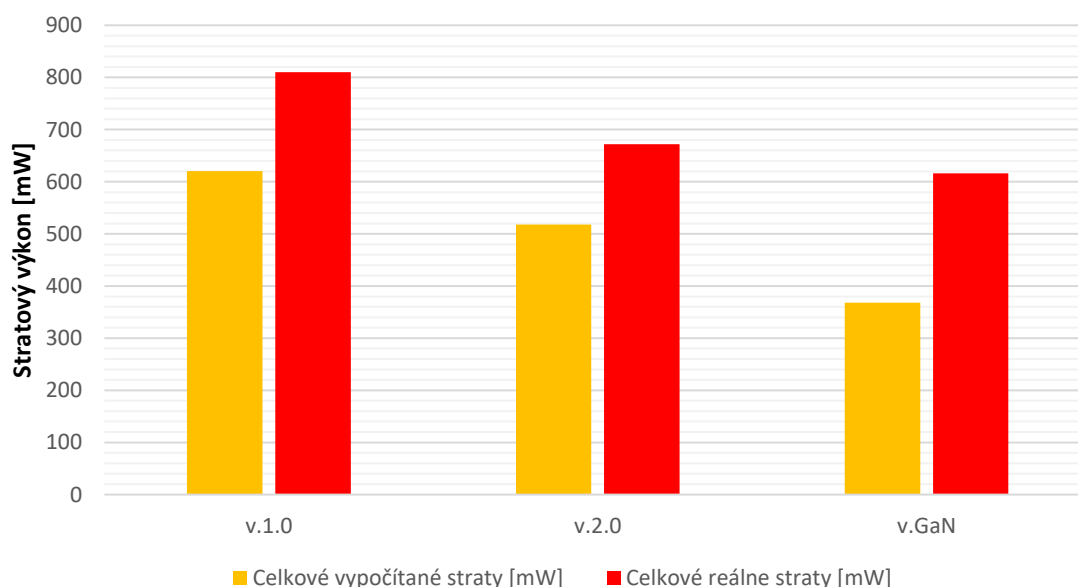
V *tabuľke 10-2* je sumár jednotlivých teoretických strát v meniči v porovnaní s reálnymi stratami. Celkové vypočítané straty sa rovnajú súčtu strát na tranzistoroch a strát vznikajúcich pri priechode prúdu cievkou. Výpočty strát na hornom a dolnom spínači sú realizované pri vstupnom napätí  $U_{IN} = 18\text{ V}$ , kedy sú straty najvyššie. Rovnako tak reálne straty vychádzajú z nameranej účinnosti pre rovnaké vstupné napätie.

**Tabuľka 10-2: Prehľad jednotlivých stratových výkonov**

Verzia meniča	Straty na tranzistoroch	Straty na cievke	Celkové vypočítané straty	Celkové reálne straty
	[mW]	[mW]	[mW]	[mW]
1.0	510,6	110	620,6	810
2.0	407,8	110	517,8	672
GaN	258,3	110	368,3	616

Na *obr. 10-4* je znázornené porovnanie celkových vypočítaných a reálnych strát, ktoré sa odkazuje na uvedenú *tabuľku 10-2*. Z obrázku je vidieť, že najviac stratová je verzia 1.0, naopak verzia s GaN tranzistormi najmenej. Reálne straty sú oproti teoretickým vždy vyššie. Je to spôsobené tým, že v meniči vznikajú aj rôzne iné straty okrem strát na tranzistoroch a cievke. Môžu to byť napríklad straty spôsobené napájaním riadiaceho kontroléra, straty na výstupných a vstupných kondenzátoroch. Ďalším dôvodom je možná odchýlka parametrov využívajúcich pri výpočte strát, ktoré udáva výrobca v katalógoch liste od skutočných. Tieto parametre sú merané pri určitých špecifických podmienkach daných výrobcom.

**Porovnanie teoretických a reálnych strát v realizovaných meničoch**



**Obr. 10-4: Graf celkových teoretických a reálnych strát**



V *tabuľke 10-3* sú zaznamenané jednotlivé teploty horného a dolného tranzistora a riadiaceho kontroléra pre všetky vyrobené verzie znižujúceho meniča, ktoré boli zachytené pomocou termokamery FLIR. Pri meraní sa teplota okolia pohybovala v rozsahu 24,6 °C až 25,5 °C.

**Tabuľka 10-3: Teploty tranzistorov a riadiaceho kontroléra meničov**

Verzia meniča	Teplota		
	Horný tranzistor	Dolný tranzistor	Riadiaci kontrolér
	[°C]	[°C]	[°C]
1.0	43,1	41,1	48,7
2.0	42,7	38,9	44,1
GaN	39,2		37,1

Všetky teploty sú prijateľné v škále do 50 °C, čím sa potvrdilo správne dimenzovanie komponentov. Teploty tranzistorov sú porovnateľné. Teplota kontroléra pri verzií GaN klesla v porovnaní s verziou 1.0 o 11,6 °C a s verziou 2.0 o 7 °C. Na menšie zahrievanie kontroléra pri verzií GaN môže mať vplyv presunutie modulu LMG 5200 na vrstvu TOP. Samozrejme nižšia teplota spínacích prvkov taktiež priaznivo ovplyvňuje teplotu kontroléra. Mierne nepresnosti spôsobujú aj premenlivé okolité podmienky pri meraní.

**Tabuľka 10-4: Porovnanie rozmerov DPS a približných cien meničov**

Verzia meniča	Rozmery DPS [mm]	Približná cena meniča
1.0	36 x 48	24 €
2.0	36 x 48	22 €
GaN	41 x 47	31 €

Porovnanie rozmerov DPS a cien meničov je uvedené v *tabuľke 10-4*. V záujme zmenšenia rozmerov jednotlivých verzií meničov, by bolo potrebné vyrobiť štvorvrstvé plošné spoje. Problém pri návrhu dvojvrstvej DPS je popísaný v *kapitole 6* a *7*. Preto boli pri úprave prototypu rozmery DPS zväčšené.

Zrealizované meniče sa cenovo pohybujú v rozsahu od 22 do 31 €. Vyššiu výslednú sumu pri verzií s GaN tranzistormi spôsobuje najmä modul LMG 5200. V porovnaní s dostupnými meničmi na rôznych domácich i zahraničných e-shopoch sú uvedené ceny pomerne vysoké, avšak vyrobené meniče poskytujú vysokú účinnosť so správne nadimenzovanými a kvalitnými komponentami od overených výrobcov.

## 11 ZÁVER

Cieľom tejto bakalárskej práce bolo využiť teoretické poznatky nadobudnuté počas štúdia v konkrétnej praktickej realizácii a zároveň prehľbiť svoje vedomosti pri návrhu a výrobe meniča.

Najskôr bolo potrebné špecifikovať konkrétne parametre meniča. Rozsah vstupných napätí  $U_{IN}$  je 9 až 18 V. Výstupné parametre meniča sú: výstupné napätie  $U_{OUT} = 5$  V, výstupný prúd  $I_{OUT} = 2$  A a výstupný výkon  $P_{OUT} = 10$  W.

Po navrhnutí a dopočítaní jednotlivých súčiastok nasledoval ich konkrétny výber a vyčíslenie jednotlivých strát pre každý prvok. Jednotlivé použité súčiastky boli vyberané s ohľadom na dosiahnutie vysokej účinnosti. V silovej časti obvodu je použitý synchronný usmerňovač, ktorého výhody a porovnanie s diódovým opisuje *kapitola 3.1*. Riadenie meniča je zabezpečované pomocou synchronného riadiaceho kontroléra najnovšej generácie LM 5145 od firmy Texas Instruments.

Pre overenie priebehov elektrických veličín a princípu fungovania meniča je zhotovená simulácia v softvérovom prostredí Matlab Simulink, ktorá napomohla k ujasneniu fungovania jednotlivých prvkov v obvode. Nasledovalo zrealizovanie prototypu, na ktorom sa pri meraní preukázali nedostatky spomenuté v *kapitole 6*.

Prototyp prešiel redizajnom DPS s cieľom odstrániť jeho nedokonalosti. Z tohto dôvodu vznikla verzia 1.0, ktorej funkčnosť je v celom rozsahu výstupných prúdov bezproblémová a popísaná v *kapitole 7*. Dosiahnutá účinnosť pri plnej záťaži prúdom  $I_{OUT} = 2$  A, a pri vstupných napätiach  $U_{IN}$  (18 V, 15 V, 9 V) sa pohybuje v rozsahu 92,5 % až 95,5 %.

S cieľom dosiahnutia ešte vyššej účinnosti bol vytýpovaný menej stratový tranzistor a vytvorená verzia 2.0 (*kapitola 8*). Návrh DPS vychádzal z verzie 1.0 a rozmery ostali nezmenené (36 mm x 48 mm). Účinnosť pri plnom zaťažení a spomínaných vstupných napätiach stúpla na hodnoty 93,7 % až 96,1 %.

Integrované gálium nitrid tranzistory v module LMG 5200 od firmy Texas Instruments boli využité vo verzií GaN (*kapitola 9*). Vďaka ich vlastnostiam popísaným v *kapitole 3.2* zabezpečujú ešte vyššiu účinnosť meniča. Schéma zapojenia a návrh DPS bol komplikovanejší oproti predošlým verziám, skrz doplnenie lineárneho stabilizátora a spomínaného modulu. Dosiahnutá účinnosť pri plnom zaťažení sa v závislosti od vyššie uvedených vstupných napätí pohybuje v rozmedzí 94,2 % až 96,2 %.

Porovnaním vyrobených verzií znižujúceho meniča o daných parametroch sa zaoberá *kapitola 10*. Z nej vyplýva, že menič s GaN tranzistormi je stratovo najefektívnejší, avšak z pohľadu ceny najdrahší. Ideálny pomer cena – výkon poskytuje menič verzie 2.0, ktorý má vysokú účinnosť a najnižšiu cenu.

Pri návrhu, vývoji a samotnom zhotovení meniča, som získal nové vedomosti v tejto oblasti. Vytvorenie schémy, návrh plošného spoja, konštrukcia meniča a výroba plošných spojov fotocestou, spájkovanie miniatúrnych puzdier súčiastok za pomoci horúceho vzduchu a mikroskopu, to všetko sú cenné skúsenosti nadobudnuté pri tvorení bakalárskej práce.

## Literatúra

- [1] KREJČÍŘÍK, Alexandr. *DC/DC Měníče*. Vyd. 1. Praha: BEN – technická literatura, 2001, 55 s. ISBN 80-7300-045-8.
- [2] PATOČKA, Miroslav. *Vybrané statě z výkonové elektroniky. Svazek I, Tepelné jevy, činný výkon*. Vyd. 3. Brno: Vysoké učení technické, 2000, 61 s. ISBN 80-214-1736-6.
- [3] NOVOTNÝ, Vlastislav, Miroslav PATOČKA a Pavel VOREL. *Napájení elektronických zařízení*. Vyd.2. Brno: Vysoké učení technické, 2000, 129 s. ISBN 80-214-1737-4.
- [4] EMADI, Ali, Alireza KHALIGH, Zhong NIE a Young Joo LEE. *Integrated Power Electronic Converters and Digital Control*. Baton Rouge: Chapman and Hall/CRC, 2009, 331 s. ISBN 978-1-4398-0069-0.
- [5] KABEŠ, Karel. Nitrid galia – perspektivní materiál pro výkonovou elektroniku. *Elektro: odborný časopis pro elektrotechniku*. Praha: FCC PUBLIC s. r. o., 2013, roč. 23, č. 1, s. 36. ISSN 1210-0889.
- [6] STRYDOM, Johan, David REUSCH, Steve COLINO a Alana NAKATA. *Using Enhancement Mode GaN-on-Silicon Power FETs* [online]. EPC – Efficient Power Conversion, 2017 [cit. 2018-10-24]. Dostupné z: [http://epc-co.com/epc/Portals/0/epc/documents/product-training/using\\_gan\\_r4.pdf](http://epc-co.com/epc/Portals/0/epc/documents/product-training/using_gan_r4.pdf)
- [7] LIDOW, Alex. *How to GaN: Intro to Gallium Nitride (GaN) Transistor Technology* [online]. EEWeb, 2013 [cit. 2018-10-26]. Dostupné z: <https://www.eeweb.com/profile/alex-lidow/articles/how-to-gan-intro-to-gallium-nitride-gan-transistor-technology>
- [8] DAVIS, Sam. *GaN Basics: FAQs* [online]. Power Electronics, 2013 [cit. 2018-10-26]. Dostupné z: <https://www.powerelectronics.com/gan-transistors/gan-basics-faqs>
- [9] HEGARTY, Timothy. *Reduce buck-converter EMI and voltage stress by minimizing inductive parasitics* [online]. Texas Instruments Incorporated, 2016 [cit. 2018-11-05]. Dostupné z: <http://www.ti.com/lit/an/slyt682/slyt682.pdf>
- [10] TEXAS INSTRUMENTS. *LM5145 6-V to 75-V Synchronous Buck DC-DC Controller With Wide Duty Cycle Range* [online]. 2017. Dostupné z: <http://www.ti.com/lit/ds/symlink/lm5145.pdf>
- [11] COILCRAFT. *Shielded Power Inductors – SER 1390* [online]. 2017. Dostupné z: <https://www.coilcraft.com/pdfs/ser1390.pdf>
- [12] INFINEON. *MOSFET OptiMOS™ Power-Transistor: IPD033N06N* [online]. 2016. Dostupné z: [https://www.infineon.com/dgdl/Infineon-IPD033N06N-DS-v02\\_00-EN.pdf?fileId=5546d4625b62cd8a015ba517c34e6629](https://www.infineon.com/dgdl/Infineon-IPD033N06N-DS-v02_00-EN.pdf?fileId=5546d4625b62cd8a015ba517c34e6629)
- [13] TEXAS INSTRUMENTS. *LMG5200 80-V, 10-A GaN Half-Bridge Power Stage* [online]. 2018. Dostupné z: <http://www.ti.com/lit/ds/symlink/lmg5200.pdf>

# Zoznam symbolov a skratiek

## Skratky:

AlN	Nitrid hliníka
DC	Direct current (jednosmerný prúd)
DPS	Doska plošných spojov
EMI	Electromagnetic interference (eletkromagnetické rušenie)
ESL	Ekvivalentná sériová indukčnosť
ESR	Ekvivalentný sériový odpor
FPWM	Forced pulse-width modulation (nútená impulzne šírková modulácia)
GaN	Nitrid gália
GND	Ground (zem)
MOSFET	Metal oxide semiconductor field effect transistor (tranzistor riadený poľom)
PWM	Pulse-width modulation (impulzne šírková modulácia)
RRU	Remote radio unit (diaľkový rádiový vysielateľ)
SiC	Karbid kremíka
SMD	Surface mount devices (súčiastka pre povrchovú montáž)
SMT	Surface mount technology (technológia povrchovej montáže)
UVLO	Undervoltage lockout (podpäťová ochrana)
2DEG	Dvojrozmerný elektrónový plyn

## Symboly:

$C$	Kapacita	[F]
$C_{BOOT}$	Kapacita bootstrap kondenzátora	[F]
$C_{IN}$	Vstupná kapacita	[F]
$C_{ISS}$	Vstupná kapacita	[F]
$C_{MIN}$	Minimálna kapacita	[F]
$C_{OSS}$	Výstupná kapacita	[F]
$C_{OUT}$	Výstupná kapacita	[F]
$C_{OUT(MIN)}$	Výstupná minimálna kapacita	[F]
$C_{REZ}$	Kapacita pri rezonancií	[F]
$C_{RSS}$	Millerova kapacita	[F]
$C_{SS}$	Kapacita soft-štart kondenzátora	[F]
$f_{SW}$	Spínacia frekvencia	[Hz]
$I_{AVG}$	Stredná hodnota prúdu	[A]

$I_D$	Prúd pretekajúci tranzistorom	[A]
$I_{HYS}$	Prúd dodávaný vnútorným zdrojom	[A]
$I_{OUT}$	Výstupný prúd	[A]
$I_{OUT(PEAK)}$	Špičkový výstupný prúd	[A]
$I_{RMS}$	Efektívna hodnota prúdu	[A]
$I_{SAT}$	Saturačný prúd	[A]
$I_{SS}$	Prúd pre nabíjanie soft-štart kondenzátora	[A]
$I_V$	Hodnota prúdu, pri ktorej zareaguje nadprúdová ochrana	[A]
$L, L_F$	Indukčnosť cievky	[H]
$L_{LOOP}$	Indukčnosť výkonovej slučky	[H]
$L_D$	Indukčnosť elektródy drain	[H]
$L_S$	Indukčnosť elektródy source	[H]
$P_{GATE}$	Výkon potrebný na nabitie gate elektródy	[W]
$P_{OUT}$	Výstupný výkon	[W]
$Q_G$	Náboj gate elektródy	[nC]
$Q_{OSS}$	Výstupný náboj	[nC]
$Q_{RR}$	Zotavovací reverzný náboj	[nC]
$R$	Odpor	[ $\Omega$ ]
$R_{CU}$	Odpor cievky	[ $\Omega$ ]
$r_d$	Dynamický odpor	[ $\Omega$ ]
$R_{DS(ON)}$	Odpor medzi elektródami Drain – Source v zopnutom stave	[ $\Omega$ ]
$s_D$	Strieda diódy	[-]
$s_T$	Strieda tranzistora	[-]
$T$	Doba jednej periódy	[s]
$t_1$	Doba zopnutého horného spínača	[s]
$t_2$	Doba zopnutého dolného spínača	[s]
$t_d$	Čas vedenia prúdu vnútornou diódou (dead – time)	[s]
$t_f$	Doba poklesu	[s]
$t_{RR}$	Doba reverzného zotavenia	[s]
$t_r$	Doba nárastu	[s]
$t_{SS}$	Čas nabíjania výstupu	[s]
$U_{(BR)DSS}$	Prieražné napätie	[V]
$U_{DS}$	Napätie medzi elektródami Drain - Source	[V]
$U_{EN}$	Referenčné napätie	[V]
$U_{GS}$	Napätie medzi elektródami Gate - Source	[V]

$U_{GS(th)}$	Prahová hodnota napätia medzi elektródami gate - source	[V]
$U_{HYS}$	Napätie hysterézie	[V]
$U_{IN}$	Vstupné napätie	[V]
$U_{IN(MAX)}$	Maximálne vstupné napätie	[V]
$U_{IN(ON)}$	Napät'ová hodnota pre zapnutie kontroléru	[V]
$U_{IN(OFF)}$	Napät'ová hodnota pre vypnutie kontroléru	[V]
$U_L$	Napätie na cievke	[V]
$U_{OUT}$	Výstupné napätie	[V]
$U_{OVERSHOOT}$	Napät'ová špička	[V]
$U_p$	Prahové napätie	[V]
$U_{REF}$	Referenčné napätie	[V]
$U_{VCC}$	Napätie lineárneho stabilizátora	[V]
$\Delta I_{MAX}$	Maximálne zvlnenie prúdu	[A]
$\Delta I_{OUT}$	Zvlnenie výstupného prúdu	[A]
$\Delta P_{COSS}$	Straty vzniknuté nabíjaním výstupnej kapacity	[W]
$\Delta P_{CON}$	Straty spôsobené vedením	[W]
$\Delta P_{DT}$	Straty spôsobené vedením body diódy tranzistora	[W]
$\Delta P_{GATE}$	Straty spôsobené nabíjaním a vybíjaním gate elektródy	[W]
$\Delta P_{HS}$	Celkové straty na hornom tranzistore	[W]
$\Delta P_L$	Straty v cievke	[W]
$\Delta P_{LS}$	Celkové straty na dolnom tranzistore	[W]
$\Delta P_{RR}$	Straty spôsobené zotavením internej body diódy	[W]
$\Delta P_{SW}$	Spínacie straty	[W]
$\Delta P_{T1}$	Celkové straty na tranzistoroch v meniči V1.0	[W]
$\Delta P_{T2}$	Celkové straty na tranzistoroch v meniči V2.0	[W]
$\Delta P_{T3}$	Celkové straty na tranzistoroch v meniči s GaN	[W]
$\Delta U_{IN}$	Zvlnenie vstupného napätia	[V]
$\Delta U_{OUT}$	Zvlnenie výstupného napätia	[V]

## **Zoznam príloh**

Príloha 1 – DPS a osadzovací plán prototypu

Príloha 2 – Namerané hodnoty pre prototyp

Príloha 3 – DPS a osadzovací plán meniča V1.0

Príloha 4 – Namerané hodnoty pre menič V1.0

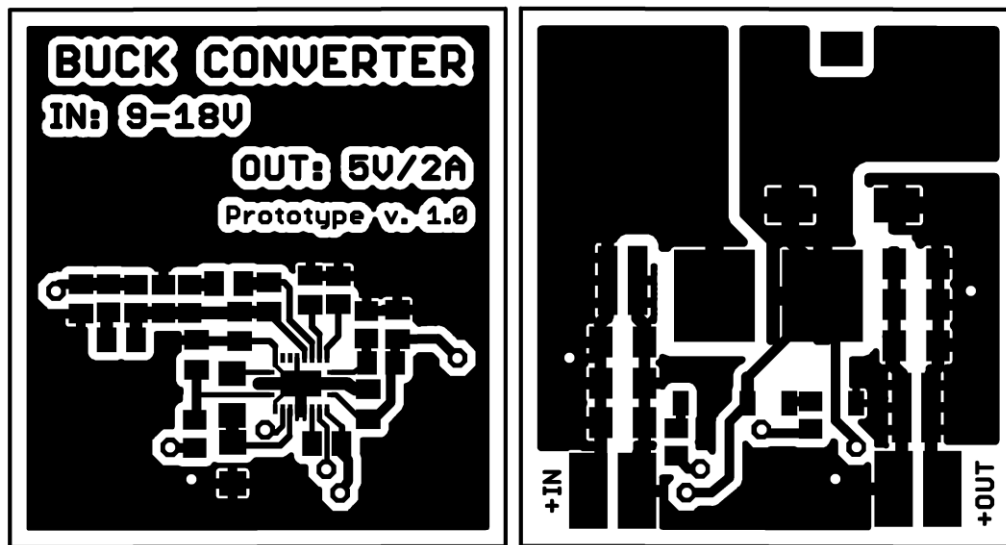
Príloha 5 – DPS a osadzovací plán meniča V2.0

Príloha 6 – Namerané hodnoty pre menič V2.0

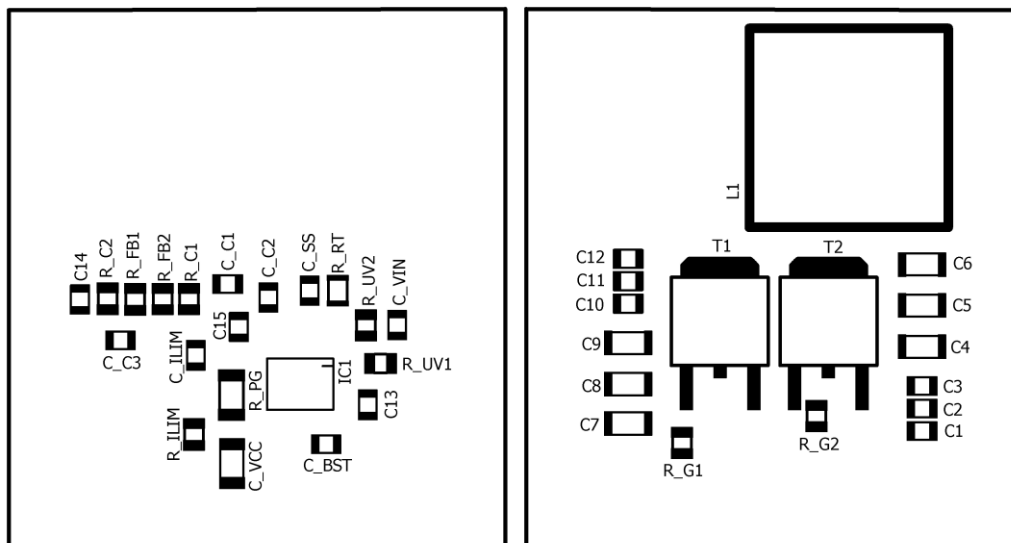
Príloha 7 – DPS a osadzovací plán meniča GaN

Príloha 8 – Namerané hodnoty pre menič GaN

## Príloha 1 – DPS a osadzovací plán prototypu



Obr. č.1: Plošný spoj prototypu znižujúceho meniča – vrstva TOP (vľavo) a vrstva BOTTOM (vpravo) - mierka 1,5 : 1



Obr. č.2: Osadzovací plán prototypu znižujúceho meniča – TOP (vľavo), BOTTOM (vpravo) – mierka 1,5 : 1



## Príloha 2 – Namerané hodnoty pre prototyp

Tabuľka č.1: Namerané hodnoty pre vstupné napätie  $U_{IN} = 9\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
9,00	0,03	0,25	5,02	0,00	0,00	0,00
8,99	0,14	1,21	5,02	0,19	0,93	76,93
8,98	0,26	2,30	5,01	0,40	1,98	86,19
8,96	0,38	3,40	5,01	0,61	3,03	89,16
8,95	0,50	4,45	5,00	0,81	4,02	90,40
8,94	0,62	5,55	4,98	1,02	5,06	91,08
8,93	0,73	6,55	4,96	1,20	5,98	91,28
8,92	0,85	7,58	4,93	1,40	6,93	91,34
8,91	0,96	8,58	4,88	1,61	7,83	91,25
8,91	1,01	9,03	4,83	1,71	8,24	91,25

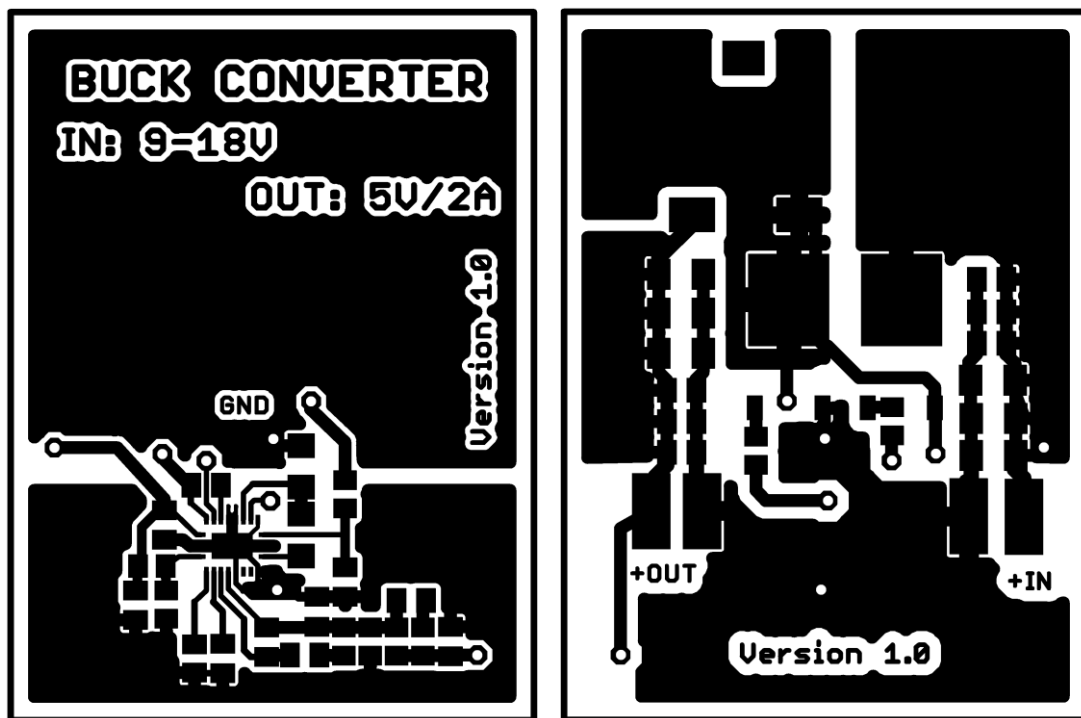
Tabuľka č.2: Namerané hodnoty pre vstupné napätie  $U_{IN} = 15\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
15,09	0,03	0,48	5,01	0,00	0,00	0,00
15,06	0,10	1,54	5,02	0,20	0,98	63,66
15,05	0,18	2,65	5,01	0,40	2,02	76,41
15,04	0,25	3,71	5,00	0,61	3,03	81,60
15,03	0,32	4,79	4,99	0,81	4,02	83,90
15,02	0,39	5,87	4,97	1,01	5,01	85,30
15,01	0,46	6,93	4,95	1,20	5,96	85,95
15,00	0,53	7,97	4,91	1,41	6,90	86,59
15,00	0,60	8,97	4,83	1,61	7,76	86,53
14,99	0,63	9,37	4,76	1,71	8,11	86,57

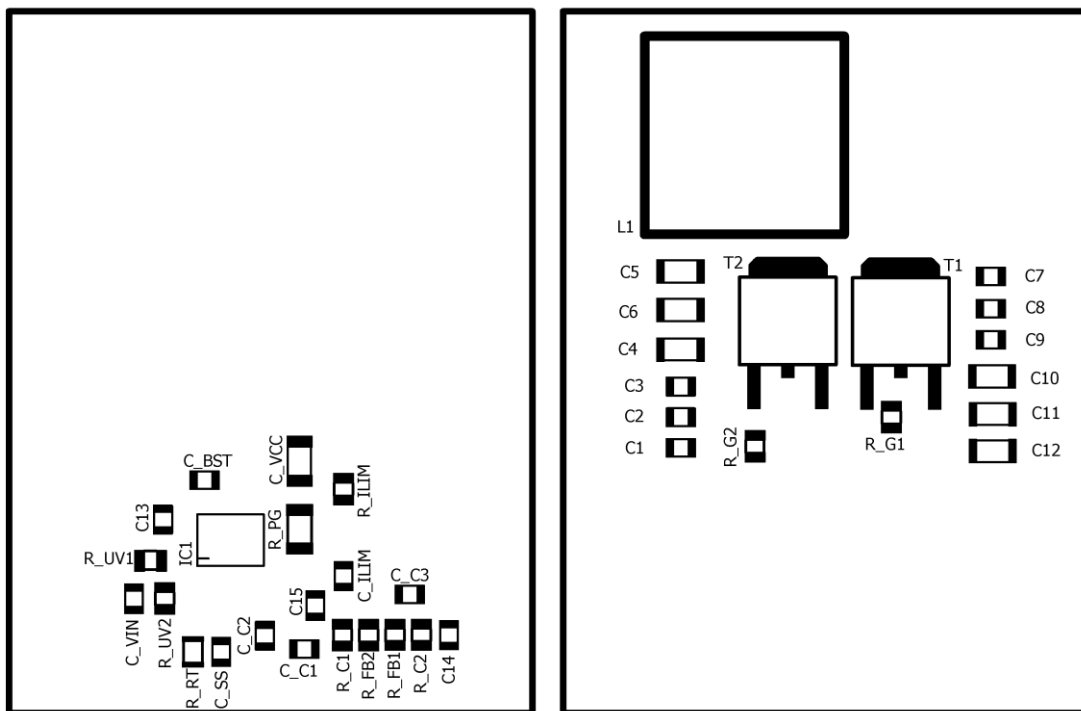
Tabuľka č.3: Namerané hodnoty pre vstupné napätie  $U_{IN} = 18\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
18,03	0,03	0,60	5,02	0,00	0,00	0,00
18,02	0,10	1,73	5,01	0,21	1,03	59,70
18,00	0,16	2,79	5,01	0,40	2,02	72,31
18,00	0,21	3,85	5,00	0,61	3,02	78,54
17,99	0,28	4,95	4,99	0,81	4,02	81,18
17,98	0,34	6,02	4,97	1,01	5,00	83,04
17,97	0,39	7,08	4,95	1,20	5,96	84,13
17,97	0,45	8,14	4,91	1,40	6,90	84,72
17,96	0,51	9,12	4,83	1,61	7,75	84,90
17,96	0,52	9,26	4,68	1,67	7,83	84,51

## Príloha 3 – DPS a osadzovací plán meniča V1.0



Obr. č.3: Plošný spoj znižujúceho meniča V1.0 – vrstva TOP (vľavo) a vrstva BOTTOM (vpravo) - mierka 1,5 : 1



Obr. č.4: Osadzovací plán znižujúceho meniča V1.0 – TOP (vľavo), BOTTOM (vpravo) – mierka 1,5 : 1

## Príloha 4 – Namerané hodnoty pre menič V1.0

Tabuľka č.4: Namerané hodnoty pre vstupné napätie  $U_{IN} = 9\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
9,03	0,03	0,26	5,04	0,00	0,00	0,00
9,03	0,14	1,25	5,03	0,20	0,99	79,04
9,02	0,25	2,26	5,03	0,40	2,01	88,68
9,01	0,37	3,32	5,03	0,61	3,06	92,20
9,00	0,47	4,27	5,03	0,80	4,00	93,63
9,00	0,59	5,30	5,02	1,00	5,00	94,45
8,99	0,71	6,38	5,02	1,21	6,06	94,92
8,98	0,82	7,35	5,02	1,39	6,99	95,18
8,97	0,94	8,39	5,02	1,60	8,00	95,39
8,97	1,05	9,43	5,01	1,80	9,00	95,43
8,96	1,18	10,52	5,01	2,01	10,05	95,52

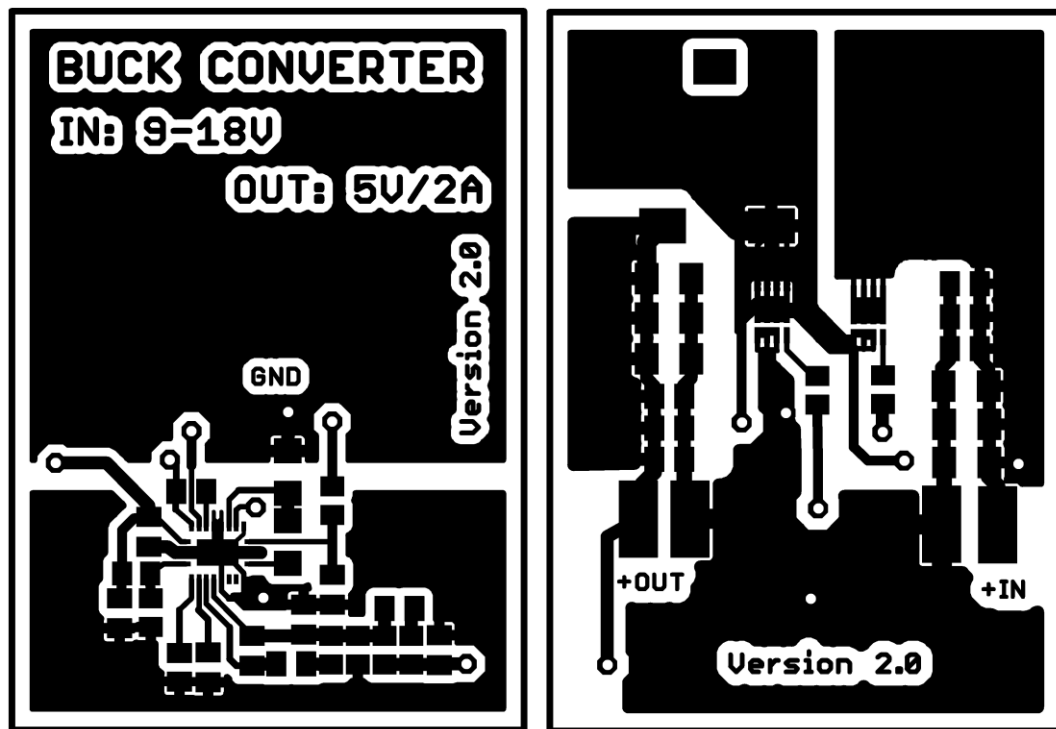
Tabuľka č.5: Namerané hodnoty pre vstupné napätie  $U_{IN} = 15\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
15,06	0,03	0,51	5,03	0,00	0,00	0,00
15,06	0,10	1,52	5,03	0,20	1,02	66,84
15,06	0,17	2,53	5,03	0,40	2,03	80,15
15,05	0,23	3,51	5,03	0,60	3,02	86,03
15,05	0,30	4,51	5,03	0,80	4,02	89,08
15,04	0,37	5,55	5,02	1,00	5,03	90,59
15,04	0,44	6,57	5,02	1,20	6,04	91,84
15,03	0,51	7,59	5,02	1,40	7,01	92,33
15,03	0,57	8,63	5,02	1,60	8,02	92,96
15,02	0,64	9,67	5,01	1,80	9,02	93,25
15,02	0,72	10,75	5,01	2,01	10,07	93,63

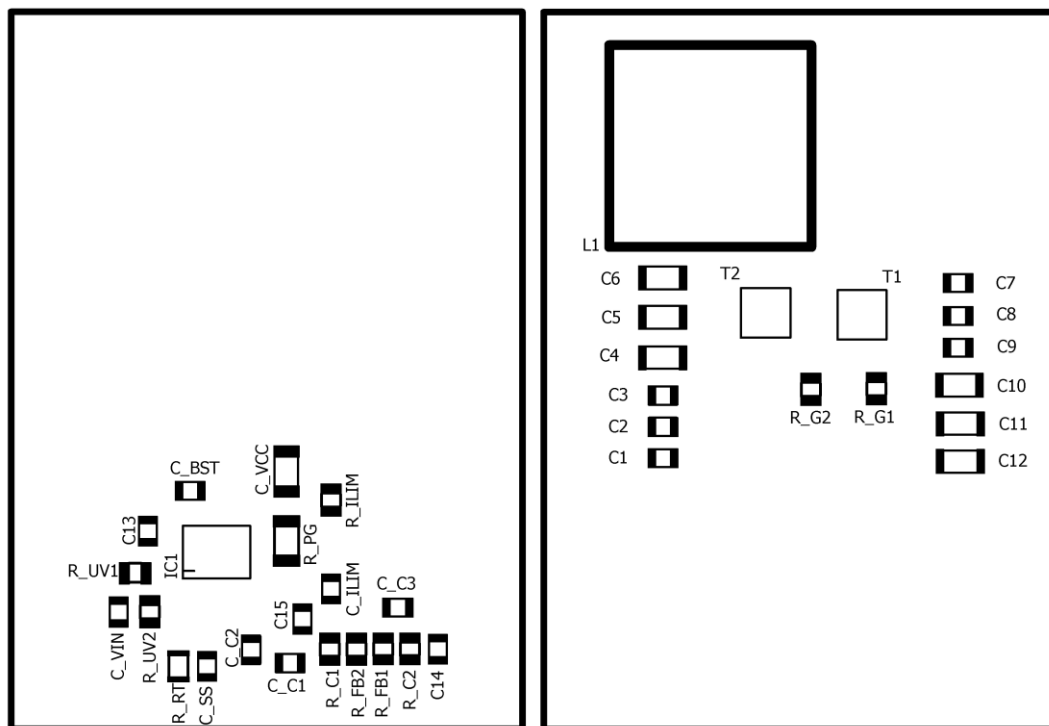
Tabuľka č.6: Namerané hodnoty pre vstupné napätie  $U_{IN} = 18\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
18,04	0,04	0,65	5,04	0,00	0,00	0,00
18,04	0,09	1,64	5,03	0,20	0,99	60,41
18,04	0,15	2,67	5,03	0,41	2,05	76,71
18,03	0,20	3,61	5,03	0,60	2,99	82,97
18,03	0,26	4,69	5,03	0,81	4,06	86,63
18,03	0,31	5,64	5,02	1,00	5,00	88,69
18,02	0,37	6,67	5,02	1,20	6,01	90,13
18,02	0,43	7,75	5,02	1,41	7,06	91,13
18,01	0,48	8,72	5,02	1,60	8,00	91,74
18,01	0,55	9,83	5,01	1,81	9,07	92,20
18,01	0,60	10,86	5,01	2,01	10,05	92,54

## Príloha 5 – DPS a osadzovací plán meniča V2.0



Obr. č.5: Plošný spoj znižujúceho meniča V2.0 – vrstva TOP (vľavo) a vrstva BOTTOM (vpravo) - mierka 1,5 : 1



Obr. č.6: Osadzovací plán znižujúceho meniča V2.0 – TOP (vľavo), BOTTOM (vpravo) – mierka 1,5 : 1

## Príloha 6 – Namerané hodnoty pre menič V2.0

Tabuľka č.7: Namerané hodnoty pre vstupné napätie  $U_{IN} = 9\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
9,09	0,02	0,20	5,04	0,00	0,00	0,00
9,08	0,13	1,18	5,04	0,20	0,99	84,08
9,07	0,25	2,23	5,03	0,41	2,04	91,57
9,06	0,36	3,25	5,03	0,61	3,05	93,81
9,06	0,46	4,20	5,03	0,79	3,99	94,95
9,05	0,59	5,30	5,02	1,01	5,07	95,57
9,04	0,69	6,27	5,02	1,20	6,01	95,87
9,04	0,81	7,28	5,02	1,39	6,99	95,95
9,03	0,92	8,32	5,01	1,59	7,99	96,06
9,02	1,04	9,35	5,00	1,80	8,99	96,09
9,02	1,15	10,39	5,00	2,00	9,99	96,10

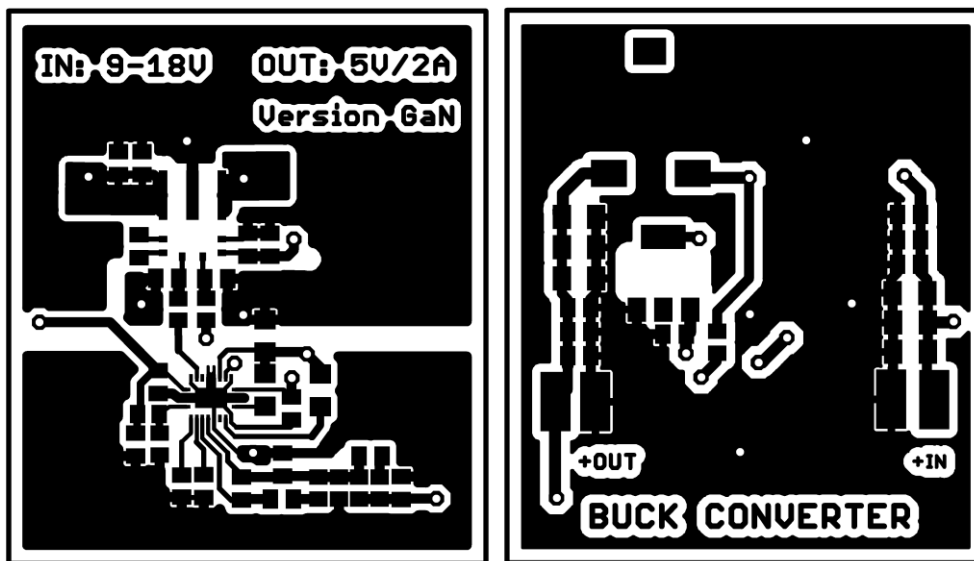
Tabuľka č.8: Namerané hodnoty pre vstupné napätie  $U_{IN} = 15\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
15,10	0,02	0,36	5,04	0,00	0,00	0,00
15,09	0,09	1,37	5,04	0,20	1,00	72,61
15,09	0,16	2,37	5,03	0,40	2,01	84,75
15,08	0,23	3,42	5,03	0,61	3,06	89,29
15,08	0,29	4,37	5,02	0,80	3,99	91,36
15,07	0,36	5,40	5,02	1,00	5,00	92,67
15,07	0,43	6,43	5,02	1,20	6,00	93,33
15,06	0,50	7,52	5,01	1,41	7,05	93,81
15,06	0,56	8,48	5,00	1,60	7,98	94,10
15,05	0,63	9,51	5,00	1,80	8,98	94,36
15,05	0,71	10,61	4,99	2,01	10,02	94,44

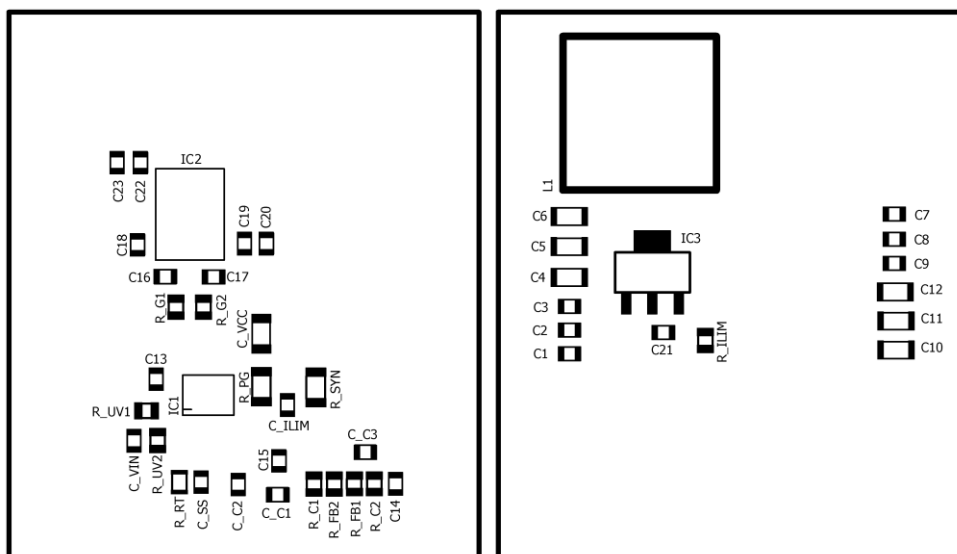
Tabuľka č.9: Namerané hodnoty pre vstupné napätie  $U_{IN} = 18\text{ V}$

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
18,08	0,03	0,45	5,04	0,00	0,00	0,00
18,07	0,08	1,46	5,04	0,20	0,99	67,44
18,07	0,14	2,46	5,03	0,40	2,00	81,52
18,07	0,19	3,45	5,03	0,59	2,99	86,53
18,06	0,25	4,53	5,03	0,81	4,06	89,49
18,06	0,30	5,49	5,02	1,00	5,00	91,04
18,05	0,36	6,52	5,02	1,20	6,01	92,15
18,05	0,42	7,60	5,01	1,41	7,05	92,76
18,05	0,48	8,64	5,01	1,61	8,05	93,18
18,04	0,54	9,69	5,00	1,81	9,05	93,42
18,04	0,59	10,66	5,00	2,00	9,98	93,65

## Príloha 7 – DPS a osadzovací plán meniča GaN



Obr. č.7: Plošný spoj znižujúceho meniča s GaN tranzistormi – vrstva TOP (vľavo) a vrstva BOTTOM (vpravo) - mierka 1,2 : 1



Obr. č.8: Osadzovací plán znižujúceho meniča s GaN tranzistormi – TOP (vľavo), BOTTOM (vpravo) – mierka 1,2 : 1

## Príloha 8 – Namerané hodnoty pre menič GaN

**Tabuľka č.10: Namerané hodnoty pre vstupné napätie  $U_{IN} = 9\text{ V}$**

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
9,04	0,01	0,13	5,04	0,00	0,00	0,00
9,03	0,12	1,12	5,03	0,20	0,99	88,13
9,02	0,24	2,18	5,03	0,41	2,04	93,33
9,01	0,36	3,21	5,03	0,61	3,05	94,96
9,01	0,47	4,24	5,03	0,81	4,06	95,61
9,00	0,59	5,28	5,02	1,01	5,06	95,84
8,99	0,70	6,25	5,02	1,20	6,00	96,03
8,98	0,82	7,34	5,02	1,41	7,06	96,12
8,98	0,93	8,38	5,02	1,61	8,06	96,14
8,97	1,04	9,36	5,01	1,80	9,00	96,15
8,96	1,16	10,41	5,01	2,00	10,01	96,15

**Tabuľka č.11: Namerané hodnoty pre vstupné napätie  $U_{IN} = 15\text{ V}$**

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
15,11	0,02	0,23	5,04	0,00	0,00	0,00
15,11	0,09	1,28	5,03	0,21	1,05	81,49
15,10	0,15	2,25	5,03	0,40	2,00	88,70
15,10	0,22	3,32	5,03	0,61	3,05	91,67
15,10	0,29	4,35	5,02	0,81	4,05	93,23
15,09	0,36	5,39	5,02	1,01	5,06	93,85
15,09	0,42	6,35	5,02	1,20	6,00	94,43
15,08	0,49	7,45	5,01	1,41	7,05	94,57
15,08	0,56	8,49	5,01	1,60	8,03	94,62
15,07	0,63	9,56	5,00	1,81	9,05	94,70
15,07	0,70	10,53	5,00	2,00	9,99	94,83

**Tabuľka č.12: Namerané hodnoty pre vstupné napätie  $U_{IN} = 18\text{ V}$**

$U_{IN}$	$I_{IN}$	$P_{IN}$	$U_{OUT}$	$I_{OUT}$	$P_{OUT}$	$\eta$
[V]	[A]	[W]	[V]	[A]	[W]	[%]
18,14	0,02	0,29	5,04	0,00	0,00	0,00
18,13	0,07	1,29	5,03	0,20	0,99	77,00
18,13	0,13	2,36	5,03	0,41	2,04	86,64
18,12	0,18	3,32	5,03	0,59	2,99	90,02
18,12	0,24	4,35	5,02	0,80	3,99	91,84
18,12	0,30	5,38	5,02	1,00	5,00	92,94
18,11	0,35	6,41	5,02	1,20	6,00	93,63
18,11	0,41	7,44	5,01	1,39	6,98	93,77
18,10	0,47	8,49	5,01	1,60	7,99	94,15
18,10	0,53	9,56	5,01	1,80	9,00	94,16
18,10	0,59	10,60	5,00	2,00	9,99	94,19